

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yukihiro NISHIDA, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: MEMORY CIRCUIT APPARATUS

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-322887	November 6, 2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

  
Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland  
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2002年11月6日

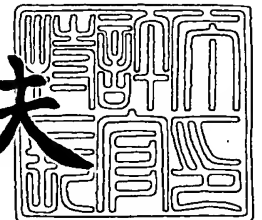
出 願 番 号  
Application Number: 特願2002-322887  
[ST. 10/C]: [JP2002-322887]

出 願 人  
Applicant(s): 株式会社東芝  
東芝エルエスアイシステムサポート株式会社

2003年 7月18日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 A000204184

【提出日】 平成14年11月 6日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/00

【発明の名称】 メモリ回路

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市幸区堀川町 5 8 0 番地 東芝エルエスアイシステムサポート株式会社内

【氏名】 笈川 清春

【発明者】

【住所又は居所】 神奈川県川崎市幸区堀川町 5 8 0 番地 東芝エルエスアイシステムサポート株式会社内

【氏名】 西田 幸弘

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【特許出願人】

【識別番号】 598010562

【氏名又は名称】 東芝エルエスアイシステムサポート株式会社

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

## 【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

## 【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

## 【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

## 【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

## 【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

## 【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

## 【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705037

【包括委任状番号】 9807823

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 メモリ回路

【特許請求の範囲】

【請求項 1】 複数のメモリセルと、

前記複数のメモリセルに夫々接続された複数のビット線及び複数のワード線を有し、アドレス信号に応じて前記複数のメモリセルから所定のメモリセルを選択するためのアクセス回路と、

読み出しモード時に前記アクセス回路により選択されたメモリセルに接続されているビット線をプリチャージするプリチャージ回路と、

前記選択されたメモリセル以外の非選択メモリセルに接続されているビット線をデスチャージするデスチャージ回路と、  
を具備することを特徴とするメモリ回路。

【請求項 2】 前記デスチャージ回路は、前記非選択メモリセルに接続されているビット線に夫々接続され、これらのビット線を接地電位に固定するための複数のデスチャージトランジスタを含むことを特徴とする請求項 1 に記載のメモリ回路。

【請求項 3】 前記デスチャージ回路は、前記アドレス信号およびデスチャージ許可信号を入力とし、前記デスチャージトランジスタに供給されるオン信号を発生するデコーダ回路を有することを特徴とする請求項 2 に記載のメモリ回路。

【請求項 4】 前記ビット線の一端は前記アクセス回路およびプリチャージ回路を介してプリチャージ電源に接続され、他端は前記メモリセルおよびソース線電位制御回路を介して接地ノードに接続されていることを特徴とする請求項 1 に記載のメモリ回路。

【請求項 5】 前記ソース線電位制御回路は、ソース線電位制御信号によりオン、オフ制御されるスイッチング素子を有し、前記スイッチング素子のオン時に前記ソース線を前記接地電位に接続することを特徴とする請求項 1 に記載のメモリ回路。

【請求項 6】

前記メモリセルはE<sup>2</sup>PROMを構成する不揮発性メモリセルからなることを特徴とする請求項1に記載のメモリ回路。

**【請求項7】**

前記メモリセルは、ソース、ドレイン間が金属配線で選択的に接続されたMOSトランジスタからなり、NOR型MROMを構成することを特徴とする請求項1に記載のメモリ回路。

**【請求項8】**

前記メモリセルは、ソース、ドレイン間が金属配線で選択的に接続されたMOSトランジスタからなり、NAND型MROMを構成することを特徴とする請求項1に記載のメモリ回路。

**【請求項9】**

前記アクセス回路は、入力アドレス信号により所定のビット線を選択するカラムデコーダを含み、前記デスチャージ回路は前記カラムデコーダと同じ入力アドレス信号により前記選択された所定のビット線に接続されるデスチャージトランジスタにオフ信号を与えることを特徴とする、請求項1に記載のメモリ回路。

**【請求項10】**

前記デスチャージ回路は前記カラムデコーダと同一デコード出力を発生するデコード回路と、このデコード回路の出力の極性を反転させるインバータを含むことを特徴とする請求項9に記載のメモリ回路。

**【発明の詳細な説明】**

**【0001】**

**【発明の属する技術分野】**

この発明はメモリ回路に関し、特に、読み出し時にプリチャージされたビット線から選択されたメモリセルを介してソース線にデスチャージ電流が流れる構成を持つメモリセルアレイを有するメモリ回路に関する。

**【0002】**

**【従来の技術】**

読み出し時に、プリチャージされたビット線から選択されたメモリセルを介してソース線にデスチャージ電流が流れる構成を持つメモリ回路が従来から広く用

いられている（例えば特許文献1参照）。

#### 【0003】

##### 【特許文献1】

特開 2001-266585号公報（第5、6頁、第1図）

この従来のメモリ回路はクロック同期方式のFLASH\_E<sup>2</sup>PROM（electrically erasable and programmable ROM）であり、以下、この従来のメモリ回路について図20乃至図22を用いて説明を行う。なお、この従来回路例は読み出しに関する構成のみ示し、書込み／消去系の回路は省略している。

#### 【0004】

図20は、従来のFLASH\_E<sup>2</sup>PROM回路例を示し、図21にこの従来のFLASH\_E<sup>2</sup>PROM回路例の読出し動作を説明するタイミングチャート図を示し、図22に全ビット線プリチャージ後のオールオンセル読出し時の等価回路図を示す。

#### 【0005】

図20において、例えば、図示しないアドレス信号をデコードするロウデコーダDRPにより選択されたワード線WL<sub>n-1</sub>に接続されたメモリセルCEL<sub>0</sub>～CEL<sub>15</sub>を含む例えば512個の不揮発性のメモリセルが全てオフ状態（データ“0”）のメモリセルで有り、ワード線WL<sub>n</sub>に接続されたメモリセルCEL<sub>0X</sub>～CEL<sub>15X</sub>を含む512個のメモリセルが全てオン状態（データ“1”）であると仮定する。また、アドレス信号により先ずワード線WL<sub>n-1</sub>が選択され、次にワード線WL<sub>n</sub>が選択されるものとする。つまり、最初に選択された16個のメモリセルCEL<sub>0</sub>～CEL<sub>15</sub>が全てオフ状態であるから、これらのメモリセルに接続されたビット線b<sub>0</sub>～b<sub>15</sub>の電位は読み出し動作が行われた後もプリチャージ状態を維持している。同様に、ワード線WL<sub>n-1</sub>で選択された全ビット線がプリチャージ状態である。この状態で、次に読み出すメモリセルCEL<sub>0X</sub>～CEL<sub>15X</sub>が全てオン状態であるから、プリチャージされているすべてのビット線b<sub>0</sub>～b<sub>15</sub>が読み出し時にデスチャージされる。この時、同様に512本のビット線がデスチャージされる。

#### 【0006】

この場合に関する動作モード時の説明を更に詳細に行う。

#### 【0007】

図20において、1つのメモリブロック内に設けられたメモリセルCEL0～CEL15の読出しに先だって、制御回路C1Pからのプリチャージ信号PRCVによりトランジスタT1がオンとなり、プリチャージ電源であるVDD電源がセンス回路SPの入力端子INに供給されるとともに、パワーセーブ用のトランジスタT2にも供給される。

#### 【0008】

このトランジスタT2はバイアス発生回路CPPからのバイアス信号BIASによりオンとなり、このメモリブロックB15内の選択トランジスタT30～T33が第1カラムデコーダDC1Pからのカラムデコード信号SR0～SR3により選択的にオンとされる。なお、このバイアス信号BIASはすべてのメモリブロックB0～B15に供給され、第1カラムデコーダDC1Pからのカラムデコード信号SR0～SR3により同時に選択される。

#### 【0009】

トランジスタT30は、第2カラムデコーダDC2Pからのデコード信号S0～S7により選択される8個のトランジスタT40～T47を介して8本のビット線b0～b7に接続されている。従って、トランジスタT40～T47が選択的にオンとなると、トランジスタT30により8本のビット線b0～b7が順次プリチャージされる。同じブロックB15内のビット線b8～b31もトランジスタT31～T33およびトランジスタT48～T71を介して選択的にプリチャージされる。残りのブロックB0からB14に付いても同様に各ビット線が選択的にプリチャージされる。即ち、1ブロック当たり32本のビット線があり、合計16ブロックでは512本のビット線が順次プリチャージされることになる。

#### 【0010】

以下、図20に示した読み出し回路の動作を図21、図22を参照して説明する。

#### 【0011】

図 21 のタイムチャートにおいて、(a) のクロック信号 CLK が H レベルの期間に選択されたビット線のプリチャージが行われ、L レベルの期間にこのビット線に関してメモリセル読み出しデータ確定、およびデータセンスを行う。又、図 21 (p) のシステム読み出し制御信号 OE が H レベルの期間にセンス回路 SP の出力をバッファ BP を介してデータバス DBUS に出力する。

#### 【0012】

図 20 の従回路例において、図 21 (b) に示すように、ROM アドレス A0 → ROM アドレス B8 の順番で読出すものとする。この場合、メモリセルが全てオフセルであるから、ROM アドレス A0 の読み出し期間が終了するまでのクロック CLK の 1 周期の間に、1 ブロック当たりのビット線 32 本 × 16 ブロックの総ビット線 512 本全てがプリチャージされ、その状態が維持されている。

#### 【0013】

その後、ROM アドレス B8 でのオンセル読出し時、ビット線 512 本に繋がるメモリセル全てがオンセルであるため、プリチャージ電荷が全てのメモリセルを介してソース線 SL に大電流として流れる。このため、主としてソース線 SL - VSS 接地間の寄生抵抗により、ソース線 SL のレベルが図 21 (k) に示すように、プリチャージ状態のビット線レベル近く迄浮いてしまう状態となる。この場合、1 個当たりのオン状態のメモリセル電流が  $50\ \mu\text{A}$  と仮定すると、ソース線 SL に流れる総オンセル電流が 25 mA の過大電流値となる。

#### 【0014】

以上の説明は、全てオフセルの読み出しに続いて全てオンセルの読み出しと言う極端な例で行ったが、ある程度の数のオフセルの読み出しに続いてある程度の数のオンセルの読み出しが行われる場合には、同様にオンセルを介してソース線 SL に大きな電流が流れることに起因するソース線レベルの浮き現象が生じる可能性は大きい。

#### 【0015】

##### 【発明が解決しようとする課題】

本来、オンセル読出し時、図 21 (m) の IN 電位が (n) の VREF 電位以下迄降下すべきものが、上記理由により、(l) に破線で示すように IN 電位が

ほぼVDDレベル状態となる。この結果、データバスDBUSへの読出しデータが本来“1”であるべきものが“0”となり、オフセルデータとして誤読出しされるという問題が発生していた。

#### 【0016】

このように、この従来例のメモリ混載MCU (memory control unit) では、ソース線SLのレベル浮き起因でのオンセル誤読出しによるシステム不具合という致命的問題を発生していた。

#### 【0017】

一例として、図22に示した等価回路におけるSLレベル浮き時の計算値を示す。

#### 【0018】

ビット線のプリチャージ電位  $V_{bit} = 1.0V$

オンセル1個の抵抗値  $R_{CL8} = 20k\Omega$

オンセル512個の合成抵抗値  $R_{CLall} = 39\Omega$

A2点-SL-VSS間寄生抵抗  $R_{SLA} = 300\Omega$

A2点の電位  $= (R_{SLA} / (R_{CLall} + R_{SLA})) \times V_{bit} = 0.88V$

このようにA2点の電位が本来はVSSであるべきが0.88Vまで電位が上がってしまい、これが誤読み出しの原因となるといった問題がある。

#### 【0019】

なお、寄生抵抗  $R_{SLA}$  を小さくするためにはSL制御回路C2P中に用いられているトランジスタのチャンネル幅Wを大きくすることが考えられるが、このようにすることには限界があると共に、SLライン-VSS間の寄生抵抗を削減することは、マクロサイズ制約により、レイアウトの設計上困難を極めていた。

#### 【0020】

そこでこの発明の目的は、読み出し時に、プリチャージされたビット線からメモリセルを介してソース線SLに過大な電流が流入しないようにして、メモリセルからの誤読み出しを防止するように構成したメモリ回路を提供することにある。

## 【0021】

## 【課題を解決するための手段】

この発明のメモリ回路は、複数のメモリセルと、前記複数のメモリセルに夫々接続された複数のビット線及び複数のワード線を有し、アドレス信号に応じて前記複数のメモリセルから所定のメモリセルを選択するためのアクセス回路と、読み出しモード時に前記アクセス回路により選択されたメモリセルに接続されているビット線をプリチャージするプリチャージ回路と、前記選択されたメモリセル以外の非選択メモリセルに接続されているビット線をデスチャージするデスチャージ回路とを具備することを特徴として構成されている。

## 【0022】

この構成により、メモリセルアレイ内の選択された全ビット線がプリチャージされるとともに非選択メモリセルに接続された全てのビット線はリセット、即ちデスチャージされるので、選択された同一ワード線に繋がるオンセル状態のメモリセルの読出し時にもソース線に流入する電流量は少なく、ソース線電位が大きく浮くことがなく、誤読み出し防止が可能となるとともに、隣接するビット線間の容量カップリングによる誤読み出しを防止でき、特に、大容量メモリでの安定な読出し動作を実現可能としたメモリ回路を提供することができる。

## 【0023】

## 【発明の実施の形態】

以下、この発明の実施の形態について図面を参照して説明する。図1は、本発明の一実施形態に係るFLASH-E<sup>2</sup>PROM回路構成の一例を示す図である。本実施形態の回路は、クロック同期方式のFLASH-E<sup>2</sup>PROM回路内の読み出し系の回路部分のみを示しており、書込み／消去系の回路は省略している。

## 【0024】

この図1に示した実施形態のFLASH-E<sup>2</sup>PROM回路は、制御回路C1、パワーセーブのためのバイアス発生回路CP、読出し用セクタ制御回路である第1カラムデコーダDC1、ビット線を選択するためのカラムセクタ用の第2カラムデコーダDC2、メモリセル選択のためのロウデコーダDR、ビット線

の電位制御のためのリセット回路RS、ソース線SLの制御回路C2、およびメモリセルアレイを構成する16個のメモリブロック群B0～B15から構成されている。

#### 【0025】

また、図1において上記メモリブロック群は、各々が32本のビット線を有する16個のブロックB0～ブロックB15の集合で構成されているが、このブロック数及びビット線数は必要に応じて決定される。この実施形態では $512 \times 512$ のメモリセルが16ブロックに分割された構成を有する。

#### 【0026】

以下、メモリブロックB15を例にとりその構成を説明する。

#### 【0027】

制御回路C1には、図13(b)のクロック信号CLKと逆極性の図13(d)のプリチャージ制御信号PRCVINおよびシステム読出制御信号OEとが供給される。これらの信号に基づいて制御回路C1は読み出し指示信号CSRDおよびプリチャージ信号PRCVを出力する。読み出し指示信号CSRDはメモリブロックB15のデータ出力用のバッファ回路Bに出力指示信号として供給されるとともに、他のメモリブロックB14～B0に同様に設けられているデータ出力バッファ回路にも同様に供給される。また、プリチャージ信号PRCVは、メモリブロックB15のプリチャージトランジスタT1のゲートにプリチャージ指示信号として供給されるとともに、他のメモリブロックB14～B0の対応するプリチャージトランジスタにも同様に供給される。

#### 【0028】

メモリブロックB15内には更に、前記のプリチャージトランジスタT1を介してプリチャージ電源であるVDD電源に直列に接続されたバイアストランジスタT2が設けられ、このバイアストランジスタT2には読出し用セレクトトランジスタT30乃至T33が並列に接続される。

#### 【0029】

トランジスタT1、T2間の接続ノードはセンス回路Sのセンス入力端INに接続され、センス回路Sは、図13(e)に示したセンスイネーブル信号SEN

に基づいて入力信号のセンス動作を行い、センス出力OUTをデータ出力バッファ回路Bを介してデータバスDBUS15に出力する。他のメモリブロックB14-B0も同様に構成される。

#### 【0030】

バイアストランジスタT2のゲートには、パワーセーブ信号PSVに応じてバイアス発生回路CPから発生されるバイアス信号BIASが供給され、このトランジスタT2がオンとなる。このバイアストランジスタT2は各々のメモリブロックB15-B0に1個ずつ設けられており、パワーセーブ信号PSVがオフの時に、このバイアス信号BIASにより16個のバイアストランジスタが同時にオンとなり、夫々VDD電源に接続されることになる。

#### 【0031】

メモリブロックB15において、バイアストランジスタT2は4個の選択トランジスタT30-T33に共通に接続される。ただし、ここではトランジスタT32は省略されている。これらのトランジスタT30-T33のゲートには第1カラムデコーダDC1からの選択信号SR0-SR3が夫々供給されてオン状態となる。第1カラムデコーダDC1にはアドレス信号A2, A3が読み出し制御信号RDとともに供給され、アドレス信号A2, A3の内容により選択的にオン状態とされる。

#### 【0032】

これらの選択トランジスタT30-T33は他のメモリブロックB14からB0にも同様に設けられていて、第1カラムデコーダDC1からの選択信号SR0-SR3によりアドレス信号A2, A3の組み合わせに従ってブロック全体では16個ずつのトランジスタが順次オン状態となる。

#### 【0033】

選択トランジスタT30には8個のカラムセレクトトランジスタT400-T407が並列に接続され、同様に、選択トランジスタT31には8個のカラムセレクトトランジスタT408-T415が接続される。同様に、選択トランジスタT32、T33にも、図示しないが、夫々8個のカラムセレクトトランジスタが接続される。このようにして、このメモリブロックB15では、4個の選択ト

ランジスタ T30～T33 の夫々により一度に 8 個ずつのカラムセレクトランジスタが VDD 電源に接続されるようになる。

#### 【0034】

他のメモリブロック B14 から B0 においても同様に、第 1 カラムデコーダ DC1 の出力信号 SR0～SR3 によりそれぞれ 4 個の選択ランジスタが順次オンになり、これにより 32 個のカラムセレクトランジスタの内の 8 個が順次 VDD 電源に接続されるようになる。

#### 【0035】

メモリブロック B15 において、選択ランジスタ T30 に接続されたカラムセレクトランジスタ T400～T407 のゲートには、3 ビットのアドレス信号 A4～A6 を受けて動作する第 2 カラムデコーダ DC2 からの 8 個の選択信号 S0～S7 が供給されて、順次オン状態となる。カラムセレクトランジスタ T400～T407 は夫々ビット線 B0～B7 に接続されている。

#### 【0036】

同様に、選択ランジスタ T31 に接続されたカラムセレクトランジスタ T408～T415 のゲートには、第 2 カラムデコーダ DC2 からの 8 個の選択信号 S0～S7 が供給されて、順次オン状態となる。カラムセレクトランジスタ T408～T415 は夫々ビット線 B8～B15 に接続されている。

#### 【0037】

残りの選択ランジスタ T32、T33 についても同様に、夫々 8 個のカラムセレクトランジスタが接続され、夫々のゲートには第 2 カラムデコーダ DC2 からの 8 個の選択信号 S0～S7 が供給されて順次オン状態となる。これらのカラムセレクトランジスタも夫々 8 本のビット線に接続されている。

#### 【0038】

従って、メモリブロック B15 においては、例えば第 2 カラムデコーダ DC2 の 1 つの選択信号 S0 によりカラムセレクトランジスタ T400、T408 を含む 4 個のランジスタがオンとなる。しかしながら、対応する選択ランジスタ T30～T33 は同時にオンにならず、アドレス信号の内容によりそのいずれか 1 つしかオンとならないから、結局、1 つのブロック B15 では、ビット線 b

0、b 8を含む4本のビット線の内の1本のみがVDD電源に接続されてプリチャージされることになる。他の選択信号S 1～S 7についても同様となる。

#### 【0039】

他のメモリブロックB 14～B 0についても同様に、第1カラムデコーダDC 1の出力SR 0～SR 3によりオン状態となるのは1つのメモリブロック当たり1個の選択トランジスタであるから、第2カラムデコーダDC 2により選択されてVDD電源でプリチャージされるのは各メモリブロック当たり1本のビット線ということになる。従って、メモリセルアレイ全体では合計で16本のビット線がプリチャージされるのみとなる。

#### 【0040】

ブロックB 15において、ビット線b 0～b 15は第1のメモリセル群CEL 1～CEL 15を介してソース線SLに接続されるとともに、並列に接続された第2のメモリセル群CEL 0X～CEL 15Xを介してソース線SLに接続される。従って、例えばビット線b 0に対してメモリセルCEL 0およびメモリセルCEL 0Xが並列接続、即ちオア接続されていることになる。

#### 【0041】

メモリブロックB 15内の図示しない残りの16本のビット線についても、又、他のメモリブロックB 14～B 0における全てのビット線についても同様に1本のビット線に対して2個のメモリセルがオア接続されている。ここで、用いられているメモリセルはフローティングゲートとコントロールゲートとを有するMOS構造の不揮発性のメモリセルである。

#### 【0042】

メモリブロックB 15において、第1のメモリセル群CEL 0～CEL 15の夫々のコントロールゲートはロウデコーダDRに接続されたワード線WL n-1に共通に接続され、第2のメモリセル群CEL 0X～CEL 15Xのコントロールゲートは共通にワード線WL nに接続されている。

#### 【0043】

ロウデコーダDRは12ビットのアドレス信号A 7～A 18とともに制御信号CNTおよび前述のプリチャージ信号PRCVを受け、ロウ方向のアドレス指定

信号、即ちメモリセル選択信号を複数のワード線に送出する。この実施形態ではワード線の総数は512本であるが、図1ではこのうち2本のワード線WL<sub>n-1</sub>、WL<sub>n</sub>のみ示されている。同様にして、ロウデコーダDRのデコード出力が512本のワード線に選択的に送出され、メモリブロックB15～B0に供給される。

#### 【0044】

メモリブロックB15において、ビット線b0～b7は夫々デスチャージトランジスタTR0～TR7を介してVSS電源、即ち接地電位に接続される。これらのデスチャージトランジスタTR0～TR7は、リセット回路RSからのリセット信号RST0～RST7が供給されたときにオンとなるように設定されている。リセット回路RSは3ビットのアドレス信号A4～A6ならびにリセット制御信号RSTCNTを受けてリセット信号RST0～RST7を選択的に出力するものである。

#### 【0045】

同様に、ビット線b8～b15はデスチャージトランジスタTR8～TR15を介してVSS電源に接続される。これらのデスチャージトランジスタTR8～TR15は夫々デスチャージトランジスタTR0～TR7に対応してリセット信号RST0～RST7によりオンとなるように接続されている。例えば、リセット信号RST0によりデスチャージトランジスタTR0、TR8が同時にオンとなる。しかしながら、後で説明するように、第2カラムデコーダDC2により選択されるビット線選択トランジスタと同じビット線に接続されているデスチャージトランジスタとは互いにオン、オフ動作が逆になるように構成されている。例えば、ビット線b0が選択トランジスタT400のオンにより選択されるときは、デスチャージトランジスタTR0はオフとなるように制御される。

#### 【0046】

メモリブロックB15において、選択トランジスタT33を含む2個の選択トランジスタに夫々接続された合計16本のビット線もビット線b0～b15と同様にリセット信号RST0～RST7によりオン、オフ制御される。従って、例えばリセット信号RST0が出力されると、デスチャージトランジスタTR0、

TR 8を含む合計四個のデスチャージトランジスタがオンされ、対応する四本のビット線がVSS電位に接続されることになる。

#### 【0047】

従って、全てのメモリブロックB15～B0においては、1つのリセット信号、例えばリセット信号RST0が出力されると、1つのメモリブロック当たり4個のデスチャージトランジスタがオンとなるから、合計64個のデスチャージトランジスタがオンとなる。

#### 【0048】

前述したように、第2カラムデコーダDC2からの1つの選択信号に対応するリセット発生回路RSからの1つのリセット信号はオフとなるので、8個のリセット信号RST0～RST7のうちの残りの7個のリセット信号がオンとなるので、512本のビット線のうち、64本のビット線を除く残りのすべてのビット線がVSS電位に接続されることになる。

#### 【0049】

しかしながら、このオフとなるデスチャージトランジスタに接続された64本のビット線のうちで読み出し時にプリチャージされるのは前述のように16本のみである。これに付いては後で詳細に説明する。

#### 【0050】

ロウデコーダDRに供給された制御信号CNTは制御回路C2にも供給され、制御回路C2はこの制御信号CNTに応じてソース線SLを電源VSSに接続する。

#### 【0051】

この実施の形態では、メモリブロックB15において32本のビット線b0～b32に対して32個のデスチャージトランジスタが用いられ、他のメモリブロックB14～B0も同様に構成されている。

#### 【0052】

ここで、図2ないし図9を参照して、図1に示した制御回路C1、プリチャージ制御回路CP、第1カラムデコーダDC1、第2カラムデコーダDC2、ロウデコーダDR、リセット回路RS、制御回路C2、およびセンス回路Sの夫々の

構成例を詳細に説明する。上記したように、夫々の回路は夫々所定の信号を出力し、これらの信号がメモリブロック群B15～B0に入力されるものであるが、ここでは一例として、上記夫々の回路とメモリブロックB15とを関連させ、以下説明する。

#### 【0053】

図2に示す制御回路C1は、バッファNV1およびNV2を有している。プリチャージ制御信号PRCVINは、バッファNV1を介し、プリチャージトランジスタT1のゲート、センス回路Sの入力端子およびロウデコーダDRに入力されるプリチャージ信号PRCVとして出力されている。

#### 【0054】

また、システム読出制御信号OEは、バッファNV2を介し読出指示信号CSRDとして出力されている。上記読出指示信号CSRDは、図1のデータ出力用のバッファ回路Bに入力されている。つまり、上記システム読出制御信号OEがHIGHレベルの時、上記データ出力のバッファ回路Bの出力端子からの信号DBUS15がシステムバスDBUSに出力されることになる。

#### 【0055】

図3に示すバイアス発生回路CPは、パワーセーブ信号PSVが供給されるインバータCNVLおよび、このインバータCNVLの出力信号が供給されるP型トランジスタTL1およびN型トランジスタTL4を有している。更に、バイアス信号BIASを出力する出力ノードとVSS電源間には2個のN型トランジスタTL2、TL3が夫々ドレイン・ゲート間が接続された状態で直列に接続される。P型トランジスタTL1の一端はVDD電源に接続され、他端は出力ノードに接続される。

#### 【0056】

Hレベル状態のパワーセーブ信号PSVが入力されると、インバータCNVLのLレベル状態の出力によりP型トランジスタTL1がオンとなり、N型トランジスタTL4がオフとなる。これにより出力ノードからはバイアス信号BIASが出力され、図1のトランジスタT2はオンとなり、プリチャージ用のVDD電源からの電圧が選択トランジスタT30～T33に供給される。パワーセーブ信

号PSVがLのときは出力ノードがLとなり、トランジスタT2はオフとなり、プリチャージ電圧は供給されず、パワーセーブモードとなる。

#### 【0057】

図4に示す第1カラムデコーダDC1は、2入力デコーダDEC1およびこのデコーダDEC1の出力を受ける4個のAND回路2AD0～2AD3を有している。この2入力デコーダDEC1は、2ビットのアドレス信号A2、A3をデコードする。夫々デコードされた信号と読み出し制御信号RDは、AND回路2AD0～2AD3に供給される。AND回路2AD0～2AD3の出力端子からは、読み出し用セレクトトランジスタT30ないしT33のゲートに送る選択信号SR0～SR3が出力される。

#### 【0058】

更に、図5に示す第2カラムデコーダDC2は、3入力デコーダDEC2およびこのデコーダDEC2の出力信号のレベル変換を行う8個のレベルシフタLVSS0～LVSS7を有している。

#### 【0059】

第2カラムデコーダDC2への入力信号として、3ビットのアドレス信号A4～A6が入力されると、3入力デコーダDEC2によってデコードされ、その出力端子“0”～“7”に8個の出力が現れる。上記デコードされたアドレス信号は、夫々必要に応じてレベルシフタLVSS0～LVSS7に入力され、夫々レベルシフトされた信号S0～S7は、図1のビット線b0～b15を含む32本のビット線を選択するカラムセレクトトランジスタT400～T415を含む32個のカラムセレクトトランジスタのゲートに送る信号として出力される。

#### 【0060】

又、ロウデコーダDRは、例えば図6に示すように、メインデコーダMDEC、サブデコーダSDECおよびサブデコーダ制御回路SDECCNTとを有している。メインデコーダMDECには9ビットのアドレス信号A10～A18が供給されてデコードされ、3ビットのアドレス信号A7～A9がサブデコーダ制御回路SDECCNTによって夫々デコードされている。

#### 【0061】

このサブデコーダ制御回路SDECCNTには更に制御回路C1からのプリチャージ信号PRCVが供給され、更に、制御信号CNTがメインデコーダMDECおよびサブデコーダ制御回路SDECCNTに共通に供給される。制御信号CNTは、これらのメインデコーダMDECおよびサブデコーダ制御回路SDECCNTからの信号を外部に出力するか否かを制御する信号である。

#### 【0062】

なお、メインデコーダMDEC、サブデコーダSDEC、およびサブデコーダ制御回路SDECCNTの電源端子には夫々、VSWレベルの電源電圧およびVBBレベルの電源電圧が供給されている。ここで、VSWレベルはVDDレベルよりもわずかに高いレベルの電圧である。

#### 【0063】

メインデコーダMDECによってデコードされたn個、例えば512個のデコード信号MI<sub>n</sub>は、コントロール信号CNTによって制御されてサブデコーダSDECに出力される。

#### 【0064】

又、アドレス信号A7～A9、制御信号CNTおよび制御回路C1の出力信号であるプリチャージ信号PRCVが入力されているサブデコーダ制御回路SDECCNTからのm個、例えば8個の出力信号BI<sub>m</sub>は、アドレス信号A7～A9のデコードされた信号であり、プリチャージ信号PRCVおよびコントロール信号CNTによってその出力状態が決定される。

#### 【0065】

メインデコーダMDECの出力信号MI<sub>n</sub>およびサブデコーダ制御回路SDECCNTの出力信号BI<sub>m</sub>はサブデコーダSDECに入力され、ワード線選択信号WL0～WL<sub>n</sub>が出力される。ワード線選択信号WL0～WL<sub>n</sub>はメインデコーダMDECからのデコード出力信号MI<sub>n</sub>と同じ数n、例えば512個の信号としてサブデコーダSDECから出力される。つまり、サブデコーダSDECは入力信号BI<sub>m</sub>をセレクト信号MI<sub>n</sub>によって選択して出力するスイッチ回路である。

#### 【0066】

サブデコーダSDECからのワード線選択信号WL0～WLnはメモリセルのゲートに入力される。図1の例では、ワード線選択信号WL<sub>n-1</sub>は、メモリブロックB15内ではメモリセルCEL0～CEL15を含む32個のメモリセルのゲートに供給され、ワード線選択信号WL<sub>n</sub>はメモリセルCEL0X～CEL15Xを含む32個のメモリセルに供給される。メモリセルアレイでは、ワード線選択信号WL<sub>n-1</sub>はすべてのブロックB15～B0内の512個のメモリセルに供給され、ワード線選択信号WL<sub>n</sub>も512個のメモリセルに供給される。

#### 【0067】

図1に示すリセット回路RSは、例えば図7に示すように、3ビットのアドレス信号A4～A6が入力される3入力デコーダDEC3と、この3入力デコーダDEC3からの8個のデコード出力を夫々反転するインバータRIV0～RIV7と、これらのインバータRIV0～RIV7の出力とリセット制御信号RSTCNTとのAND出力を得るためのAND回路RAD0～RAD7とを有している。このインバータRIV0～RIV7により、リセット発生回路RSからの出力リセット信号は第2カラムデコーダDC2のカラムセレクト信号と極性が逆となっている。

#### 【0068】

即ち、3入力デコーダDEC3からのデコード出力信号は、夫々所定のインバータRIV0～RIV7を介しAND回路RAD0～RAD7の一方の入力端子に入力されている。AND回路RAD0～RAD7の他方の入力端子には、デスチャージ許可信号であるリセット制御信号RSTCNTが夫々入力されている。AND回路RAD0～RAD7の出力端子から出力されるリセット信号RST0～RST7の夫々は、ビット線のデスチャージトランジスタTR0～TR15を含む512個のデスチャージトランジスタのうちの64個のトランジスタのゲートに送る信号として夫々出力される。

#### 【0069】

図1に示す制御回路C2は、例えば図8に示すように、制御信号CNTがゲートに供給されるNチャネルトランジスタTNSLおよび抵抗RSLを有している。トランジスタTNSLのソースは電源VSSに接続され、ドレインは抵抗RS

Lを介して図1のソース線SLに接続される。

#### 【0070】

図8において、制御信号CNTがHレベルの時にNチャネルトランジスタTNSLはオンとなり、ソース線SLは抵抗RSLを介してVSS電源と接続される。ここで、NチャネルトランジスタTNSLのチャンネル部のW/L比率は、例えば500/0.7となるように、即ちWがある程度大きくなるように形成されている。しかし、上記W/L比率は、ソース線SLをVSSレベルとする際に支障をきたさない程度のW/L比率の一例であり、この実施の形態ではビット線のデスチャージ電流がソース線SLに流れ込む量が少ないので、W/L比率、即ちWはそれほど大きな値である必要はなく、この条件の範囲であればどのような値でもよい。

#### 【0071】

ここで、例えば抵抗RSLの抵抗値は280Ωに、NチャネルトランジスタTNSLのON状態時の抵抗RONは20Ωに設定されている。つまり、抵抗RSLとトランジスタTNSLのオン抵抗RONの合成抵抗は300Ωである。しかしながら、この合成抵抗値はこの実施形態によりソース線に流れるデスチャージ電流によるソース線の電位の浮きが読み出しエラーを生じない程度の一定の抵抗値であれば良く、必ずしも300Ωと設定する必要はない。

#### 【0072】

図1に示すセンス回路Sは、図9に示すように、センスアンプSAと、このセンスアンプSAに基準電圧VREFを供給するための基準電圧発生回路RGおよびセンスアンプSAの出力信号が供給されるフリップフロップ回路FFとを有している。

#### 【0073】

基準電圧発生回路RGの入力端子ENには、図10に示すように、制御回路C1の出力信号であるプリチャージ信号PRCVが入力されており、その出力端子OUTからは基準電圧VREFが出力され、センスアンプSAの基準電圧端子VREFに供給される。

#### 【0074】

センスアンプSAには基準電圧端子VREFの他、VINおよびENの入力端子を設けている。センスアンプSAの入力端子VINには、後述するビット線からのデータ読み出しの入力信号INが入力されている。他の入力端子ENには、センスイネーブル信号SENが入力されている。センスアンプSAの出力端子QNおよびQは、フリップフロップ回路FFのセット、リセット入力端子SNおよびRNと夫々接続されている。フリップフロップ回路FFの出力端子Zからは、センス回路Sの出力信号OUTが出力される。この出力信号OUTは、図1のデータ出力のバッファ回路Bに入力されている。

#### 【0075】

次に図10乃至図12を参照して、センス回路Sを構成する基準電圧発生回路RG、センスアンプSAおよびフリップフロップ回路FFの回路構成の夫々一例を説明する。

#### 【0076】

図10に示す基準電圧発生回路RGは、互いに直列に電源VDD、VSS間に接続されたPチャネルトランジスタTRP1～TRP3およびNチャネルトランジスタTRN1を有している。規準電圧発生回路RGの入力端子ENに入力されたプリチャージ信号PRCVは、トランジスタTRP1およびTRN1のゲートに供給され、トランジスタTRP1、TRP2の接続ノードから出力端子OUTに基準電圧VREFが出力される。即ち、図10の回路では、プリチャージ信号PRCVがオフ、即ちLレベルの時のみ、出力端子OUTから正の基準電圧VREFが出力されてセンスアンプSAに供給されることになる。

#### 【0077】

センスアンプSAは図11に示すように、PチャネルトランジスタTNP1～TNP5とNチャネルトランジスタTNN1、TNN2とより構成されている。基準電圧入力端子VREFには、基準電圧発生回路RGからの出力である電圧VREFが入力されている。また、入力信号INおよびSENは、センスアンプSAの入力端子VINおよびENに夫々入力されている。

#### 【0078】

図11において、センスイネーブル信号SENは、PチャネルトランジスタT

NP3～TNP5のゲートに入力されており、同じくPチャネルトランジスタTNP4、TNP5のソース側に入力されている信号INおよびVREFの導通／非導通を制御している。つまり、センスイネーブル信号SENがLレベルの時にこれらのトランジスタTNP3～TNP5が導通し、トランジスタTNP1、TNN1で構成されたインバータおよびトランジスタTNP2、TNN2で構成されたインバータに電源電圧VDD、VSSが供給される。これらの2個のインバータでラッチ回路が構成される。

#### 【0079】

トランジスタTNP5がオンになると、センスアンプSAからのQ出力によりフリップフロップFFがリセットされるとともに、基準電圧VREFによりトランジスタTNP2がオフ、トランジスタTNN2がオンとなる。これにより、トランジスタTNP1がオン、トランジスタTNN1がオフとなる。したがって、この状態がこれらのトランジスタTNP1、TNP2、TNN1、TNN2によりラッチされる。

#### 【0080】

この状態で、例えばメモリセルからのHレベルの読み出し信号INが入力端子VINに供給されると、フリップフロップFFにHレベルのQN信号が送られてセット状態とするとともに、トランジスタTNP1がオフ、TNN1がオン、TNN2がオフ、TNP2がオンとなり、この状態がラッチされる。この結果、フリップフロップ回路FFからはセンス回路Sからのセンス出力として信号OUTが図1の出力バッファ回路Bに供給される。

#### 【0081】

なお、図12に示すように、フリップフロップ回路FFは、2個のナンド回路NANDF1およびNANDF2を有している。リセット入力端子RNは、ナンド回路NANDF1の一方の入力端子と接続され、セット入力端子SNは、ナンド回路NANDF2の一方の入力端子と接続されている。図示するように、ナンド回路NANDF1の出力はナンド回路NANDF2の他方の入力端子に供給され、ナンド回路NANDF2の出力端子はフリップフロップ回路FFの出力端子Zと接続されるとともに、他方のナンド回路NANDF1の他方の入力端子に接

続されている。出力端子 Z からの出力信号 OUT は、データ出力バッファ回路 B の入力端子に入力されている。

#### 【0082】

次に、図 13 のタイムチャートを参照して図 1 のメモリ回路の動作を詳細に説明する。ここで、ロウデコーダ DR に接続されたワード線  $WL_{n-1}$  が ROM アドレス A0 に相当するものとし、このワード線  $WL_{n-1}$  により選択される 512 個のメモリセルが全てオフセル（“0”）であるとする。また、ワード線  $WL_n$  が ROM アドレス B8 に相当するものとし、このワード線  $WL_n$  により選択される 512 個のメモリセルが全てオンセル（“1”）であるとする。以下、この条件で、ROM アドレス A0 → ROM アドレス B8 の順番で読出しを行った場合についての読出しモードに関して説明を行う。

#### 【0083】

即ち、上記ワード線  $WL_{n-1}$  に繋がる ROM アドレス A0 のメモリセルがメモリセルアレイ内で全部で 512 個あり、これらのすべてのメモリセルが全てオフセルである。また、図 1 で示したこの発明の実施形態では、ROM アドレス A0 時には、第 1 カラムデコーダ DC1 の出力 SR0 によりメモリブロック B15 では選択トランジスタ T30 のみオンとなり、第 2 カラムデコーダ DC2 の出力によりカラムセレクトトランジスタ T400 のみオンとなるものとする。このため、メモリブロック B15 ではビット線 b0 のみプリチャージの対象となり、メモリセル CEL0 のみ読み出しの対象となる。

#### 【0084】

同様に、ブロック B0 ~ B14 においても、メモリブロック B15 のビット線 b0 に該当するビット線に繋がる上記メモリセル CEL0 に該当するメモリセルのみ読み出しの対象となる。つまり、ROM アドレス A0 の間は、1 メモリブロック当たり 1 ビット、つまり 16 個のメモリブロックでは 16 ビット分だけオフセルに繋がる 16 本のビット線が選択されることになる。

#### 【0085】

一方、上記ワード線  $WL_n$  に繋がる ROM アドレス B8 の 512 個のメモリセルは、全てがオンセルであるものとする。ワード線  $WL_{n-1}$  により選択される

オフセルの場合と同様に、ワード線WL<sub>n</sub>によるオンセル選択時、この実施形態では、ROMアドレスB<sub>8</sub>によりメモリブロックB<sub>15</sub>では第1カラムデコーダDC<sub>1</sub>により選択トランジスタT<sub>31</sub>が選択され、第2カラムデコーダDC<sub>2</sub>によりトランジスタT<sub>408</sub>が選択される。このため、ビット線b<sub>8</sub>に接続されたメモリセルCEL<sub>8X</sub>のみが選択される。

#### 【0086】

同様に、メモリブロックB<sub>0</sub>ないしB<sub>14</sub>においても、ビット線b<sub>8</sub>に該当する夫々のビット線に繋がるメモリセルが一つずつ選択される。つまり、選択されたオンセル状態のメモリセルに繋がる16ビット分に対応して16本のビット線のみがプリチャージされることになる。

#### 【0087】

このように、全てオフ状態のメモリセル→全てオン状態のメモリセルを読み込む場合について、以下、図1および図13を用いてその回路動作について更に詳細に説明する。

#### 【0088】

ROMアドレスA<sub>0</sub>におけるオフセル状態のメモリセルCEL<sub>0</sub>を読み出す動作から説明する。この読み出しモードにおいては、図13(a)に示すようにリセット発生回路RSに供給されるリセット制御信号RSTCNTはHレベルとなっている。この状態で、図13(b)のシステムクロックCLKの時点t<sub>1</sub>からt<sub>3</sub>までの1周期が図13(c)のアドレス信号A<sub>18</sub>～A<sub>2</sub>により指定されたROMアドレスA<sub>0</sub>を読み出す期間である。この期間において、図13(c)に示すアドレス信号A<sub>2</sub>ないしA<sub>18</sub>は、メモリセルCEL<sub>0</sub>を読み出すために必要な内容となっている。

#### 【0089】

読出しモードにおいては、予め決められている信号として、図13(a)のリセット制御信号RSTCNTとともに、図13(f)に示す読み出し制御信号RDも常時Hレベルの信号に設定されている。

#### 【0090】

まず、図1の制御回路C<sub>1</sub>には、クロック信号CLKの反転信号である図13

(d) に示すプリチャージ制御信号 PRCVIN が供給される。このプリチャージ制御信号 PRCVIN は図 2 のバッファ NV1 を介してプリチャージ信号 PRCV としてロウデコーダ DR に供給されるとともに L レベルでプリチャージトランジスタ T1 のゲートに入力される。このため、上記プリチャージトランジスタ T1 はプリチャージ信号 PRCV が L レベルの時点 t1 ~ t2 の期間に導通状態となり、センス回路 S の入力 IN として H レベル信号が供給される。この時、制御回路 C1 に供給されるシステム読出制御信号 OE は図 1 (s) に示すように時点 t1 ~ t3 の間は L レベルとなっている。従って、読出指示信号 CSRD も図 1 (t) に示すように L レベルとなっている。

#### 【0091】

この状態でバイアス発生回路 CP からのバイアス信号 BIAS が H レベルでトランジスタ T2 のゲートに入力されると、上記トランジスタ T2 は導通状態となり、プリチャージ電圧 VDD を選択トランジスタ T30 ~ T33 に供給する。この時、図 13 (h) に示すように、第 1 カラムデコーダ DC1 から出力される信号 SR0 は、H レベルとして読み出し用セレクトトランジスタ T30 のゲートに入力し、信号 SR1 ~ SR3 は L レベルとして読み出し用セレクトトランジスタ T31 ~ T33 のゲートに入力することで、読み出し用セレクトトランジスタ T30 のみ導通状態となる。

#### 【0092】

一方、図 13 (g) に示すように、第 2 カラムデコーダ DC2 から出力される信号 S0 は H レベルとしてカラムセレクトトランジスタ T400 のゲートに入力し、信号 S1 ないし S7 は L レベルとしてカラムセレクトトランジスタ T401 ~ T407 のゲートに入力することで、カラムセレクトトランジスタ T400 のみ導通状態となる。このカラムセレクト信号 S0 は図 13 (c)、(g) に示すように、時点 t1 から t5 までのシステムクロック CLK の 2 周期分、即ち、ROM アドレス A0、B8 の双方の読み出し期間中 H レベルとなっている。

#### 【0093】

以上のように、プリチャージトランジスタ T1、選択トランジスタ T2、読み出し用セレクトトランジスタ T30 およびカラムセレクトトランジスタ T400

のいずれもが導通状態となる。これにより、プリチャージトランジスタ T1 のドレイン側のプリチャージ電源 VDD は、トランジスタ T1、T2、T30 および T400 を介して所望のビット線 b0 に接続され、このビット線 b0 が VDD 電圧にプリチャージされることになる。つまり、ROM アドレス A0 読出しのビット線のプリチャージ期間は、図 13 (b) に示すようにクロック信号 CLK の時点 t1 ~ t2、または時点 t3 から t4 の H レベルの時に行なわれる。

#### 【0094】

ここで、メモリブロック B15 において、図 13 (k) に示すように、リセット発生回路 RS から出力されるリセット信号 RST0 は選択信号 S0 と逆極性の L レベルであるから、このリセット信号 RST0 が供給されるビット線デスチャージトランジスタ TR0、TR8 を含むメモリブロック B15 内の 4 個のデスチャージトランジスタはオフである。従って、これらのデスチャージトランジスタが接続されたビット線では電位の変化はなく、プリチャージされた電位はそのまま保持される。

#### 【0095】

一方、上記ビット線デスチャージトランジスタ TR0、TR8 を含む 4 個のデスチャージトランジスタを除く、他のビット線デスチャージトランジスタのゲートには、リセット発生回路 RS の H レベルの出力信号 RST1 ~ RST7 が入力されている。従って、これらの H レベルのリセット信号が供給されるデスチャージトランジスタは全て導通し、これらのデスチャージトランジスタに接続されたビット線は全て VSS 電位に固定される。

#### 【0096】

この状態は 16 個のメモリブロック B15 ~ B0 で同様であるから、図 13 (i) の時点 t2 ~ t3 までのワード線 WL n-1 における ROM アドレス A0 選択による H レベル期間までに、ROM アドレス A0 により選択されたビット線 b0 を含む 16 本のビット線のみプリチャージされる。即ち、これらの 16 本のビット線以外のビット線 496 本全てがプリチャージされないか、あるいは VSS レベルに固定となる。

#### 【0097】

例えば、メモリブロック 15 においては、ビット線  $b_0$ 、 $b_8$  を含む 4 本のビット線を除く 28 本のビット線が VSS 固定レベルとなる。但し、ROM アドレス  $A_0$  で選択されたビット線  $b_0$  以外の 3 本のビット線は ROM アドレス  $A_0$  時にはプリチャージされないので、デスチャージ操作を受けなくても何ら差し支えない。

#### 【0098】

その後、クロック信号 CLK が時点  $t_2$  において H レベルから L レベルに変わると、ワード線  $WL_{n-1}$  からメモリセル  $CEL_0 \sim CEL_{15}$  を含む 32 個のメモリセルには、図 13 (i) に示すように、H レベルの信号が入力される。

#### 【0099】

ここで、メモリブロック B 15 内で 1 本だけプリチャージされたビット線  $b_0$  に繋がるメモリセル  $CEL_0$  は、オフ状態であり、デイスチャージトランジスタ  $TR_0$  もオフ状態のため、ビット線  $b_0$  はプリチャージされた VDD レベルの H レベルに保持される。この時、選択トランジスタ  $T_{30}$  に接続されたビット線  $b_1 \sim b_7$  の選択トランジスタ  $T_{401} \sim T_{407}$  はすべてオフ状態である。従って、センス回路 S の入力端  $V_{IN}$  に入力されている H レベルには変動がない。

#### 【0100】

この状態で、同じくセンス回路 S の入力端  $EN$  に図 13 (e) に示すセンスイネーブル信号  $SEN$  が入力されると、このセンスイネーブル信号  $SEN$  が H レベルの時のみ、センス回路 S は、図 13 (p) に示す読み出し信号  $IN$  を取り込み、信号  $IN$  の反転信号  $OUT$  を出力端 Z からバッファ回路 B に向けて出力する。つまり、期間  $t_2 \sim t_3$  のようにクロック信号 CLK の L レベルの時は、ワード線  $WL_{n-1}$  に選択信号を流すことによって行なわれるメモリセルの読出しデータをプリチャージ制御信号  $PRCV_{IN}$  (即ちプリチャージ信号  $PRCV$ ) の反転により確定し、センスイネーブル信号  $SEN$  にタイミングを合わせたデータセンスが行なわれる。なお、図 13 (q) に示すように、基準電圧信号  $V_{REF}$  は、センス回路 S の内部で作られ出力される信号であるが、図 10 で説明したようにセンス回路 S に入力される信号  $PRCV$  と相補の関係にある信号である。

#### 【0101】

このように、図13 (r) に示すセンス回路Sから出力されるLレベル信号OUTは、データ出力のバッファ回路Bを介しシステムバスDBUS15に出力されるが、そのシステムバスDBUS15に出力するか否かは、図13 (t) に示す読出指示信号CSRDによって制御され決定されている。つまり、読出指示信号CSRDの制御の下で、システムバスDBUS15にデータ出力のバッファ回路Bからの信号をメモリセルの読出しデータとしてシステムバスDBUS15に出力している。図13 (u) に示すROMアドレスA0の読出しにおけるシステムバスDBUS15に流れる信号DBUS15は時点t1-t3ではLレベルであるが、これはオフ状態のメモリセルCEL0によって保持されたビット線b0のHレベルがセンス回路Sによって反転され、システムバスDBUS15に出力されるためである。

#### 【0102】

ここで、図1に示すように、システムバスDBUS0ないしDBUS15はデータバスDBUSに接続されているが、実際、DBUSは16本あり、システムバスDBUS0ないしDBUS15は夫々異なる16本のデータバスDBUSに接続されている。

#### 【0103】

次に、ROMアドレスB8によって選択されたオンセル状態のメモリセルCEL8Xを読み出す動作について説明する。この読み出し動作は図13 (b) のクロックCLKの時点t3-t5にかけて行われる。このROMアドレスB8を読み出す期間t3-t5において、図13 (c) に示すアドレス信号A2-A18は、メモリセルCEL8Xを読み出すアドレス内容となっている。ROMアドレスB8の読出しも上述したROMアドレスA0の読出しと同じように行われる。

#### 【0104】

先ず、ROMアドレスB8の読出し期間t3-t5において、クロック信号CLKがHレベル時の期間t3-t4における回路の動作を説明する。

#### 【0105】

この期間t3-t4では期間t1-t2と同様に、プリチャージトランジスタT1およびバイアストランジスタT2は導通状態となる。図13 (h) に示すよ

うに、第1カラムデコーダDC1から出力される信号SR1は、Hレベルとして読み出し用セレクトランジスタT31のゲートに入力し、信号SR0、SR2およびSR3はLレベルとして読み出し用セレクトランジスタT30、T32およびT33のゲートに入力される。これにより、読み出し用セレクトランジスタT31のみ導通状態となる。

#### 【0106】

この時、図13 (g) に示すように、第2カラムデコーダDC2から出力される信号S0は、期間t1～t3に引き続いてHレベルとしてカラムセレクトランジスタT408のゲートに入力し、信号S1ないしS7はLレベルとしてカラムセレクトランジスタT409ないしT415のゲートに入力される。よって、カラムセレクトランジスタT408のみ導通状態となる。

#### 【0107】

以上のように、プリチャージトランジスタT1、バイアストランジスタT2、読み出し用セレクトランジスタT31およびカラムセレクトランジスタT408が選択的に導通状態となることで、プリチャージトランジスタT1のドレイン側のプリチャージ電源VDDは、トランジスタT1、T2、T31およびT408を導通させることになる。すると、トランジスタT408に接続されたビット線b8のみがプリチャージされることになる。

#### 【0108】

図13 (l)、(m) にはビット線b8およびビット線b8以外のレベル状態を示している。このように、メモリブロックB15において、クロック信号CLKのHレベルの期間t3～t4の間、ビット線b8はHレベルにプリチャージされる。同様に、図示しないが、残りの15のメモリブロックB14～B0における対応する位置のビット線も同時にプリチャージされる。

#### 【0109】

一方、メモリブロックB15において、ビット線ディスチャージトランジスタTR0、TR8を含む4個のデスチャージトランジスタを除く、他のビット線ディスチャージトランジスタのゲートには、リセット発生回路RSのHレベルの出力信号RST1～RST7が入力される。従って、これらのHレベルのリセット信

号が供給されるデスチャージトランジスタは全て導通し、これらのデスチャージトランジスタに接続されたビット線は全てVSS電位に固定される。

#### 【0110】

この状態は16個のメモリブロックB15～B0で同様であるから、図13(j)のt3～t4までのワード線WL<sub>n</sub>におけるROMアドレスB8選択によるクロックCLKのHレベル期間までに、ROMアドレスB8により選択されたビット線b8を含む16本のビット線のみプリチャージされる。即ち、これらの16本のビット線以外のビット線496本全てがプリチャージされない状態に維持されるか、或いはVSSレベルに固定となる。

#### 【0111】

つまり、ROMアドレスB8でのオンセル読出し時において、ROMアドレスB8の選択状態では、ビット線b8を含むプリチャージされたビット線16本以外のビット線496本がプリチャージされない低レベル或いはVSS固定レベルとなり、ROMアドレスB8のビット線の16本のみが、クロック信号CLKのHレベル期間にプリチャージされている。

#### 【0112】

その後、図13(b)に示すクロック信号CLKがt4の時点でHレベルからLレベルに変わると、ワード線WL<sub>n</sub>からメモリセルCEL0X～CEL15Xを含む32個のメモリセルには、Hレベルの信号が入力される。ここで、プリチャージされたビット線b8に繋がるメモリセルCEL8Xは、オン状態である。そのため、ビット線b8のプリチャージ電荷は放電し、VDDレベルのHレベルから低下し、最終的にメモリセルCEL8Xを介して接続されているソース線SLのVSSレベルに接地され、Lレベルとなる。

#### 【0113】

このビット線電位のソース線SLレベルへの低下は選択された16本のビット線で同時に生じる。つまり、ROMアドレスB8読出し時にクロック信号CLKがHレベルからLレベルに変化する時、メモリブロックB0～B15におけるプリチャージされたビット線b8を含む総ビット線16本分のデスチャージ電流がソース線SLに流れることになる。この結果、図13(n)、(o)に示すよう

に、ソース線SLにおいて $t_4$ の時点において微小なソース線電流の増加およびレベルの浮き現象が生じる。つまり、オン状態のメモリセルを介して16本のビット線からのデスチャージ電流がソース線SLに流れるが、16本と言う少数のビット線からのみのため、VSSレベルのソース線SLのレベル浮きは微小である。

#### 【0114】

このように、クロック信号CLKのLレベル期間( $t_4 \sim t_5$ )にメモリセルCEL8X等のオンセルによるスイッチングにより、プリチャージされたビット線b8を含む16本のビット線がデスチャージされる。例えば、1個当りのオンセルによってソース線に流れる電流が $50 \mu A$ 時、ソース線SLに16本のビット線から流れる総オンセル電流は、 $0.8 mA$ の電流値となる。上記により、VSSレベルに固定されたソース線SLのレベル浮きは瞬時的かつ微小となる。このため、ワード線WL $n-1$ に繋がるセルが全てオフセル読出し→ワード線WL $n$ に繋がるセルが全てオンセル読出しモード時のソース線SLのレベル浮きによるオンセル読出しデータ"1"の"0"化け不良が無くなる。

#### 【0115】

メモリブロックB15においては、ビット線b8がデスチャージされてLレベルとなると、Lレベルの信号がセンス回路Sの入力端VINに入力される。この時、センス回路Sの入力端ENに図13(e)に示すセンスイネーブル信号SENが入力されると、このセンスイネーブル信号SENがHレベルの時のみ、センス回路Sは、図13(p)に示す信号INを取り込み、図13(r)のように、増幅された信号INの反転信号OUTを出力端Zから出力する。

#### 【0116】

つまり、クロック信号CLKのLレベルの時( $t_4 \sim t_5$ )は、ワード線WL $n$ に信号を流すことによって得られるメモリセルの読出しデータを確定し、また、センスイネーブル信号SENによるデータセンスが行なわれる。

#### 【0117】

このように、図13(r)に示すセンス回路Sから出力される信号OUTは、読出指示信号CSRDによって制御されたデータ出力のバッファ回路Bを介しシ

システムバス DBUS15 に出力される。よって、図13 (s) に示すシステム読出制御信号 OE が L レベルの期間にメモリセルの読出しデータをシステムバス DBUS15 に出力している。

#### 【0118】

図13 (u) に示す ROM アドレス B8 の読出しにおけるシステムバス DBUS15 に流れる信号 DBUS15 は H レベルであるが、これはオン状態のメモリセル CEL8X によって VSS レベルにされたビット線 b8 の L レベルがセンス回路 S によって反転され、システムバス DBUS15 に出力されるためである。

#### 【0119】

以上のように、リセット発生回路 RS によって読出し対象となるビット線以外を VSS レベルとなるように制御することで、 $512 \times 512$  のメモリセルアレイ全体で読み出し時にディスチャージされる最大のビット線数を 16 本として、ソース線電流を最小限に抑え、ソース線の電位浮き現象による誤読み出しを防止できる。

#### 【0120】

なお、上述のように、選択されたビット線に隣接するビット線を VSS レベルに固定するので、隣接ビット線間の容量カップリング干渉に起因したプリチャージトランジスタオフ後の、プリチャージされたビット線のダイナミックデータ "1" のレベル低下も防止できる。このため、オフセル読出しデータ "0" の "1" 化け不良を無くす事ができる。

#### 【0121】

図14 には、上記 ROM アドレス B8 のように読出し対象のプリチャージされたビット線 16 本全てがオンセル状態のメモリセルに繋がっている場合の、メモリセルからソース線 SL に至る回路の読出し時の等価回路を示している。図14 において、参照符号 BIT0 ~ BIT15 は、メモリブロック B0 ~ メモリブロック 15 において夫々選択されたオンセル状態のメモリセルに繋がれたビット線を示している。抵抗 RCL8 は選択された読出し時のメモリセルの寄生抵抗を示すものである。

#### 【0122】

下記にVSSレベルに固定されたソース線SLの図14中のメモリセルとの間のノードAにおけるレベル浮き時の電位の計算例を示す。

【0123】

各ビット線のプリチャージ電位  $V_{bit} = 1.0V$

オンセル16個の合成抵抗値  $R_{CLall} = 1250\Omega$

A点-SL-VSS間寄生抵抗  $R_{SLA} = 300\Omega$

A点の電位  $= (R_{SLA} / (R_{CLall} + R_{SLA})) * V_{bit} = 0.19V$

このように、本発明の実施の形態ではソース線SLに流れる電流値が小さいので、図8に示した制御回路C2内のソース線SLのデスチャージ用のNチャネルトランジスタTNSLのチャネル幅Wのサイズを過大に大きくする必要が無くなると共に、ソース線SL-VSS間のレイアウトの設計が仕易くなる。

【0124】

図1に示した第1の実施形態では、ロウデコーダDRのワード線に繋がる不揮発性のメモリセルがE<sup>2</sup>PROMで形成されている例について説明した。更に、このメモリセルは例えばNOR型のMROM (mask ROM) で形成されてもよい。なお、この構成によると、制御回路C2に該当する回路を予めVSSレベルに接地し、ソース線SLが常時VSSレベルとなるように構成することが可能となる。

【0125】

図15はロウデコーダDRaのワード線に繋がるメモリセルがNOR型のA1方式のMROMで構成された、この発明の第2の実施形態を示したものである。なお、図15において、図1に示した第1の実施の形態と同じ部分は省略し、或いは同一符号を付してその詳細な説明を省略する。

【0126】

図15においては、図1のロウデコーダDRの代わりにロウデコーダDRaで構成されている。このロウデコーダDRaには図1の実施形態と異なり制御信号CNTは供給されていない。また、ソース線SLは、図1に示した制御回路C2の代わりに抵抗RSLを介してVSSレベルに直接に接地されている構成となっ

ている。

#### 【0127】

図1のオフセルCEL0～CEL7の代わりに、図15の実施形態では、メモリセルCELN0～CELN7が、セレクトランジスタTrd0～Trd7と組み合わせて用いられる。ここで、メモリセルCELN0～CELN7はいずれもNMOSトランジスタで構成され、そのソース、ドレイン間はアルミニウム(A1)により短絡されておらず、オフセル構成となっている。これらのメモリセルCELN0～CELN7は、夫々の対応するビット線b0～b7とソース線SLとの間に、セレクトランジスタTrd0～Trd7と直列に接続されている。但し、実際には、メモリセルアレイ全体では例えば512個のメモリセルが同じオフセル構成となっているものとする。

#### 【0128】

又、図1のオンセルCEL0X～CEL07Xの代わりに、図15ではメモリセルCELN0X～CELN7XがセレクトランジスタTrdX0～TrdX7と組み合わせて用いられる。ここで、メモリセルCELN0X～CELN7XはいずれもNMOSトランジスタで構成され、そのソース、ドレイン間は、図15中に太い黒線で示したように、アルミニウム(A1)により短絡されており、オンセル構成となっている。メモリセルCELN0X～CELN7Xは、夫々の対応するビット線b0～b7とソース線SLとの間に、セレクトランジスタTrdX0～TrdX7と直列に接続されている。実際には、メモリセルアレイ全体では例えば512個のメモリセルが同じオンセル構成となっているものとする。

#### 【0129】

このように、メモリセルCELN0X～CELN7XとセレクトランジスタTrdX0～TrdX7との組み合わせ回路は、ソース線SLに対して、他方のメモリセルCELN0～CELN7とセレクトランジスタTrd0～Trd7との組み合わせ回路と並列に接続され、NOR型メモリセル構成となっている。

#### 【0130】

また、上記NOR型メモリセルCELN0～CELN7、セレクトランジス

タ  $Trd0 \sim Trd7$ 、セレクトランジスタ  $TrdX0 \sim TrdX7$  および NOR 型メモリセル  $CELNX0 \sim CELNX7$  の夫々のゲート部には、ロウデコーダ  $DRa$  に接続されたワード線  $WL_{n-1}$ 、ブロック選択線  $Dis_{n-1}$ 、ブロック選択線  $Dis_n$  およびワード線  $WL_n$  が夫々接続されている。

#### 【0131】

尚、ワード線  $WL_{n-1}$  に繋がる NOR 型メモリセル  $CELN0 \sim CELN7$  の夫々のソース／ドレイン間がオフ状態であることを図 15 では開放端子  $Off0$  ないし  $Off7$  として示している。しかし、実際は端子  $Off0$  ないし  $Off7$  は形成されてなく、この間にアルミ配線が設けられていない状態となる。つまり、NOR 型メモリセル  $CELN0 \sim CELN7$  の夫々のゲートに H レベルの信号を入力してもソース／ドレイン間は非導通の状態であることを模式的に表している。

#### 【0132】

同じく、他方の NOR 型メモリセル  $CELN0x \sim CELN7x$  についても同様であり、端子  $on0$  ないし  $on7$  は実際は形成されておらず、ソース／ドレイン間にアルミ配線が形成された状態である。つまり、NOR 型メモリセル  $CELN0X \sim CELN7X$  の夫々のゲートに H レベルの信号を入力しなくてもソース／ドレイン間は導通の状態であることを模式的に表している。

#### 【0133】

ここで、図 15 のロウデコーダ  $DRa$  の内部構成を図 16 に示す。図 16 に示すロウデコーダ  $DRa$  は、アドレス信号  $A7 \sim A18$  が供給されるデコーダ  $DA$  と、このデコーダ  $DA$  からの  $n+1$  個の出力がプリチャージ信号  $PRCV$  とともに供給される 2 入力 AND 回路  $2AND0 \sim 2ANDn$ 、およびバッファ  $V0 \sim Vn$  を有している。

#### 【0134】

アドレス信号  $A7$  ないし  $A18$  は、デコーダ  $DA$  によってデコードされて、ワード線に供給されるべきロウアドレスの指定信号が生成される。このデコードされた信号は、2 入力 AND 回路  $2AND0 \sim 2ANDn$  の一方の入力端と、バッファ  $V0 \sim Vn$  の入力端に入力されている。図 1 の制御回路  $C1$  からの出力信号

であるプリチャージ信号  $PRCV$  は、ロウデコーダ  $DRa$  内において、2入力AND回路  $2AND0 \sim 2ANDn$  の他方の入力端に入力されている。

#### 【0135】

2入力AND回路  $2AND0 \sim 2ANDn$  の出力端から出力される信号は、選択線  $Dis0 \sim Disn$  に接続されている。バッファ  $V0 \sim Vn$  の出力端から出力される信号は、ワード線  $WL0$  ないし  $WLn$  に接続されている。ビット線  $b0 \sim b7$  は図1の場合と同様に、リセット回路  $RS$  の出力信号によって制御されるデスチャージトランジスタ  $TR0 \sim TR7$  を介して電源  $VSS$  に接続されるように構成される。

#### 【0136】

ここで、図15に図示する実施形態のメモリ回路の動作を、メモリセル  $CELN0 \rightarrow$  メモリセル  $CELN1X$  の順に読み出す動作について以下説明する。なお、図15に図示されていない回路部分は図1と同じに構成されているので、図1も参照して説明する。

#### 【0137】

まず、ビット線  $b0$  は、図13 (b) の  $t1 \sim t2$  の期間においてクロック信号  $CLK$  がHレベルの時、図1と同様に構成された図示しないプリチャージ電源によってプリチャージされる。

#### 【0138】

この状態でクロック信号  $CLK$ 、即ちプリチャージ信号  $PRCV$  が時点  $t2$  においてLレベルに変わると、ロウデコーダ  $DRa$  に接続された選択線  $Disn$  を流れる信号、ワード線  $WLn$  を流れる信号およびリセット発生回路  $RS$  からの出力信号  $RST0$  はLレベルとなり、ワード線  $WLn-1$  を流れる信号、選択線  $Disn-1$  を流れる信号および信号  $RST1$  ないし  $RST7$  はHレベルとなる。

#### 【0139】

すると、セレクトトランジスタ  $Trd0$  のソース／ドレイン間は導通状態となり、NOR型メモリセル  $CELN0$  が読出されることになる。しかし、NOR型メモリセル  $CELN0$  はオフ状態であり、また、ビット線デスチャージトランジスタ  $TR0$  もオフ状態のため、Hレベルに保持されたビット線  $b0$  のHレベル

の信号がセンス回路Sに入力されることになる。

#### 【0140】

なお、NOR型メモリセルCELN0読出し時のクロック信号CLKがLレベルの時、他のビット線b1ないしb7は、夫々ビット線ディスチャージトランジスタTR1ないしTR7を介しVSSレベルに固定されている。

#### 【0141】

次にメモリセルCELN1Xを読み出す際の動作について説明する。まずクロック信号CLKが、例えば時点t3においてLレベルからHレベルに変わると、ビット線b1はプリチャージされる。この状態でクロック信号CLKが時点t4でLレベルに変わると、ワード線WL<sub>n-1</sub>を流れる信号、選択線Dis<sub>n-1</sub>を流れる信号および信号RST1はLレベルとなり、選択線Dis<sub>n</sub>を流れる信号、ワード線WL<sub>n</sub>を流れる信号、信号RST0および信号RST2ないしRST7はHレベルとなる。

#### 【0142】

すると、セレクトトランジスタTrdX1のソース／ドレイン間は導通状態となり、NOR型メモリセルCELN1xの記憶内容が読出されることになる。NOR型メモリセルCELN1xはオン状態であり、ビット線ディスチャージトランジスタTR1はオフ状態のため、ビット線b1のHレベルにプリチャージされた電位は、NOR型メモリセルCELN1xおよびセレクトトランジスタTrdX1を介しソース線に接続される為、結果としてビット線b1のレベルは降下され、VSSレベルに変化されることになる。よってLレベルに変化されたビット線b1のLレベルの信号がセンス回路Sに入力されることになる。また、NOR型メモリセルCELN1x読出し時のクロック信号CLKが例えば時点t4-t5においてLレベルの時、ビット線b0, b2ないしb7は、夫々ビット線ディスチャージトランジスタTR0、TR2ないしTR7を介しVSSレベルに固定されている。

#### 【0143】

上記回路動作において、NOR型メモリセルCELN1xを読み出す際にも寄生抵抗は存在する。しかし、プリチャージされるビット線は16本のみであるため

、16個のNOR型メモリセルの寄生抵抗の合成抵抗は、抵抗RSLに比べ微小である。よって、ソース線SLには16本のビット線からのみデスチャージ電流が流れるため、VSSレベル固定のソース線SLのレベル浮きが微小であることはいうまでもない。

#### 【0144】

また、上記第2実施形態ではワード線に繋がるメモリセルをNOR型のMROMによって構成されているが、NAND型のMROMによって形成されてもよい。図17はその一例を示す実施形態のメモリ回路の一部を示す回路図である。尚、図17において、第1、第2の実施の形態と同じ部分は省略し、また、同一符号を用いてその詳細な説明を省略する。

#### 【0145】

まず、図17においては、図15のロウデコードDRaに代わってロウデコードDRbで構成されている。又、図1のソース線SLに接続される制御回路2は、第2の実施の形態と同様に、抵抗RSLを介してVSSレベルに接地する構成に変わっている。

#### 【0146】

また、例えばビット線b0とソース線SLとの間には、選択トランジスタTs0、NAND型メモリセルMa0、選択トランジスタTrd0が接続され、これらと並列に、選択トランジスタTs0X、NAND型メモリセルMb0、選択トランジスタTrd0Xが接続される。

#### 【0147】

同様に、各ビット線b1乃至b7とソース線SLとの間にも選択トランジスタTs1～Ts7、NAND型メモリセルMa1～Ma7、選択トランジスタTrd1～Trd7が接続され、これらと並列に、選択トランジスタTs1X～Ts7X、NAND型メモリセルMb1～Mb7、選択トランジスタTrd1X～Trd7Xが接続される。メモリセルアレイ全体についても同様である。

#### 【0148】

ここで、代表として、NAND型のメモリセルMa0を図18(a)に、NAND型のメモリセルMb0を図18(b)に夫々示す。図18(a)、(b)に

示すように、NAND型メモリセルMa0, Mb0は夫々メモリセルトランジスタ8個が直列に接続された構成となっており、上記メモリセルトランジスタの夫々のゲート部にはワード線WL0ないしWL7からのセル選択信号が供給されるように接続されている。

#### 【0149】

図18(a)に示す夫々のメモリセルトランジスタは、上記メモリセルトランジスタのゲート部にHレベルの信号が入力されるとオフ状態の出力を示す状態となるように、ソース/ドレイン間が全て非導通状態となっている。また、図18(b)に示す夫々のメモリセルトランジスタは、上記メモリセルトランジスタのゲート部にHレベルの信号が入力されるとオン状態の出力を示す状態となり、ソース/ドレイン間が全て導通状態となっている。

#### 【0150】

つまり、図18(a)に示す夫々のメモリセルトランジスタは、夫々のゲートにHレベルの信号を入力してもソース/ドレイン間は非導通の状態であることを模式的に表している。同じく、図18(b)に示す夫々のメモリセルトランジスタは、夫々のゲートにHレベルの信号を入力するとソース/ドレイン間は導通の状態であることを模式的に表している。

#### 【0151】

また、上記セレクトトランジスタTs0ないしTs7、NAND型のメモリセルMa0ないしMa7、セレクトトランジスタTrd0ないしTrd7、セレクトトランジスタTrd0XないしTrd7X、NAND型のメモリセルMb0ないしMb7およびセレクトトランジスタTs0XないしTs7Xの夫々のゲート部には、選択線SELn-1、ワード線WL0ないしWL7、選択線Disn-1、選択線Disn、ワード線WL0ないしWL7および選択線SELnが夫々接続されている。

#### 【0152】

ここで、ロウデコーダDRbの内部構成を図19に示す。図19に示すロウデコーダDRbは、デコーダDB、インバータIV0ないしIV7、デコーダDC、2入力AND回路2AND0xないし2ANDnxおよびバッファ回路B0な

いし  $B_n$  を有している。

【0153】

アドレス信号  $A_7$  ないし  $A_9$  は、デコーダ DB によってデコードされ、インバータ  $IV_0$  ないし  $IV_7$  の夫々の入力端に入力されている。インバータ  $IV_0$  ないし  $IV_7$  の夫々の出力端は、ワード線  $WL_0$  ないし  $WL_7$  に接続されている。

【0154】

アドレス信号  $A_{10}$  ないし  $A_{18}$  は、デコーダ DC によってデコードされている。デコードされた信号は、2入力AND回路  $2AND_{0x}$  ないし  $2AND_{nx}$  の一方の入力端と、バッファ  $B_0$  ないし  $B_n$  の入力端に入力されている。図1の制御回路 C1 からの出力信号であるプリチャージ信号  $PRCV$  は、ロウデコーダ  $DR_b$  内で2入力AND回路  $2AND_{0x}$  ないし  $2AND_{nx}$  の他方の入力端に入力されている。2入力AND回路  $2AND_{0x}$  ないし  $2AND_{nx}$  の出力端から出力される信号は、選択線  $Dis_0$  ないし  $Dis_n$  に接続されている。バッファ回路  $B_0$  ないし  $B_n$  の出力端から出力される信号は、選択線  $SEL_0$  ないし  $SEL_n$  に接続されている。

【0155】

図17に図示する範囲内において、NAND型のメモリセル群  $Ma_0 \sim Ma_7$  → NAND型のメモリセル群  $Mb_0 \sim Mb_7$  の順に読み出す動作について以下説明する。

【0156】

まず、ビット線  $b_0$  は、図1と同様にクロック信号  $CLK$  の  $t_1 - t_2$  のHレベルの時、プリチャージ電源  $VDD$  によってプリチャージされる。この状態でクロック信号  $CLK$  が  $t_2$  でLレベルに変わると、選択線  $Dis_n$  を流れる信号、選択線  $SEL_n$  を流れる信号および信号  $RST_0$  はLレベルとなる。

【0157】

一方、選択線  $SEL_{n-1}$  を流れる信号、ワード線  $WL_0$  ないし  $WL_7$  を流れる信号、選択線  $Dis_{n-1}$  を流れる信号および信号  $RST_1$  ないし  $RST_7$  はHレベルとなる。

【0158】

すると、セレクトランジスタ  $T_{s0}$  および  $T_{rd0}$  のソース／ドレイン間は導通状態となり、NAND型のメモリセル  $M_{a0}$  が読出されることになる。しかし、前述のように、NAND型のメモリセル  $M_{a0}$  はオフ状態であり、また、ビット線ディスチャージトランジスタ  $TR_0$  もオフ状態のため、Hレベルに保持されたビット線  $b_0$  のHレベルの信号が図1のセンス回路Sに入力されることになる。

#### 【0159】

また、NAND型のメモリセル  $M_{a0}$  読出し時のクロック信号CLKがLレベルの時、ビット線  $b_1$  ないし  $b_7$  は、夫々ビット線ディスチャージトランジスタ  $TR_1$  ないし  $TR_7$  を介しVSSレベルに固定されている。

#### 【0160】

次にNAND型のメモリセルトランジスタ群  $CELLA_{x1}$  を読み出す際の動作について説明する。まずクロック信号CLKが、図13(b)の  $t_3$  においてLレベルからHレベルに変わると、ビット線  $b_1$  はプリチャージされる。この状態でクロック信号CLKが  $t_4$  でLレベルに変わると、選択線  $SEL_{n-1}$  を流れる信号、選択線  $Dis_{n-1}$  を流れる信号および信号  $RST_1$  はLレベルとなり、ワード線  $WL_0$  ないし  $WL_7$  を流れる信号、選択線  $Dis_n$  を流れる信号、選択線  $SEL_n$  を流れる信号および信号  $RST_0$ 、 $RST_2$  ないし  $RST_7$  はHレベルとなる。

#### 【0161】

すると、セレクトランジスタ  $T_{rd1X}$  および  $T_{s1X}$  のソース／ドレイン間は導通状態となり、NAND型のメモリセル  $M_{b1}$  が読出されることになる。NAND型のメモリセル  $M_{b1}$  はオン状態であり、ビット線ディスチャージトランジスタ  $TR_1$  はオフ状態のため、ビット線  $b_1$  のHレベルにプリチャージされた電位は、セレクトランジスタ  $T_{s1X}$ 、NAND型のメモリセル  $M_{b1}$  およびセレクトランジスタ  $T_{rd1X}$  を介しソース線SLに放電される為、結果としてビット線  $b_1$  はデスチャージされ、VSSレベルに固定されることになる。よってビット線  $b_1$  のLレベルの信号がセンス回路Sに入力されることになる。

#### 【0162】

また、NAND型のメモリセルMb1読出し時のクロック信号CLKがt4～t5でLレベルの時、ビット線b0、b2ないしb7は、夫々ビット線デスチャージトランジスタTR0、TR2ないしTR7を介しVSSレベルに固定されている。

#### 【0163】

上記回路動作において、NAND型のメモリセルMb1を読出す際にも寄生抵抗は存在する。しかし、プリチャージされるビット線は、メモリセルアレイ全体でも512本中の16本のみであるため、16個のNAND型のメモリセルの寄生抵抗の合成抵抗は、抵抗RSLに比べ微小である。よって、ソース線SLには16本のビット線からのみプリチャージ電荷が流れるため、VSSレベル固定のソース線SLのレベル浮きが微小であることはいうまでもない。

#### 【0164】

##### 【発明の効果】

以上述べたようにこの発明によれば、読出しモードにおいて読出しアドレス以外のビット線を強制的に例えばVSSレベルに設定し、同時デスチャージのビット線が極めて少数となるため、ソース線SLのレベル浮きが無視できるほどになり、オン状態のメモリセルデータ読出し時の読出しデータ“1”の“0”化け不良が無くなる。更に、非読み出しビット線がVSSレベルに固定される結果、隣接するビット線間の容量カップリング干渉に起因したプリチャージトランジスタオフ後のダイナミックデータ“1”のレベル低下を発生することが無くなり、オフ状態のメモリセルデータ読出し時の読出しデータ“0”の“1”化け不良も無くなる。これにより、特に大容量メモリでの安定な読出し動作を要求されるマイコンシステムのメモリ回路として使用することができる。また、SLラインデスチャージ用トランジスタのWサイズを過大に大きくする必要が無くなるので、ソース線SL-VSSレベル接地間のレイアウト設計が仕易くでき、ソース線SLの寄生抵抗削減のためのレイアウト設計期間短縮と、ソース線SLの寄生抵抗削減のための電源配線幅拡大、コンタクトサイズ拡大が低減できる。以上より、メモリ回路マクロサイズの拡大化が防止でき、本発明のメモリ回路をメモリ混載MCUに組み込むことによりチップサイズ拡大の低減ができる。

**【図面の簡単な説明】****【図 1】**

本発明による一実施形態のメモリ回路の読み出し回路部の構成を示すブロック図。

**【図 2】**

図 1 に示す制御回路の構成例を示すブロック図。

**【図 3】**

図 1 に示すプリチャージ制御回路の構成例を示すブロック図。

**【図 4】**

図 1 に示す第 1 カラムデコーダの構成例を示すブロック図。

**【図 5】**

図 1 に示す第 2 カラムデコーダの構成例を示すブロック図。

**【図 6】**

図 1 に示すロウデコーダの構成例を示すブロック図。

**【図 7】**

図 1 に示すリセット回路の構成例を示すブロック図。

**【図 8】**

図 1 に示す制御回路の構成例を示すブロック図。

**【図 9】**

図 1 に示すセンス回路の構成例を示すブロック図。

**【図 10】**

図 9 に示すセンス回路内の基準電圧発生回路の構成例を示すブロック図。

**【図 11】**

図 9 に示すセンス回路内のセンスアンプの回路の構成例を示すブロック図。

**【図 12】**

図 9 に示すセンス回路内のフリップフロップの回路構成例を示すブロック図。

**【図 13】**

図 1 乃至図 12 に示す本発明メモリ回路の実施形態の動作を説明するためのタイミングチャート図。

**【図 14】**

図 1 の実施形態において 16 本のビット線をプリチャージ後にオールオン状態のメモリセルの読出し時の等価回路図。

**【図 15】**

この発明の他の実施形態の NOR 型メモリセルを有したメモリ回路の一部の回路構成を示すブロック図。

**【図 16】**

図 15 に示すロウデコーダの回路構成例を示すブロック図。

**【図 17】**

この発明の他の実施形態の NAND 型メモリセルを有したメモリ回路の一部の回路構成を示すブロック図。

**【図 18】**

図 17 に示す NAND 型のメモリセルの構成を示す回路図。

**【図 19】**

図 17 に示すロウデコーダの回路構成例を示すブロック図。

**【図 20】**

従来のメモリ回路の構成の一例を示すブロック図。

**【図 21】**

図 20 に示す従来のメモリ回路の動作を説明するためのタイミングチャート。

**【図 22】**

図 20 に示す従来のメモリ回路において 16 本のビット線をプリチャージ後のオールオン状態のメモリセル読出し時の等価回路図。

**【符号の説明】**

S…センス回路

T1…プリチャージトランジスタ

T2…バイアストランジスタ

T30～T33…セレクトトランジスタ

T400～T431…カラムセレクトトランジスタ

CEL0～CEL15、CEL0X～CEL15X…メモリセル

T R 0 ～ T R 1 5 … デスチャージトランジスタ

C 1 … 制御回路

C P … バイアス発生回路

D C 1 … 第 1 カラムデコーダ

D C 2 … 第 2 カラムデコーダ

D R … ロウデコーダ

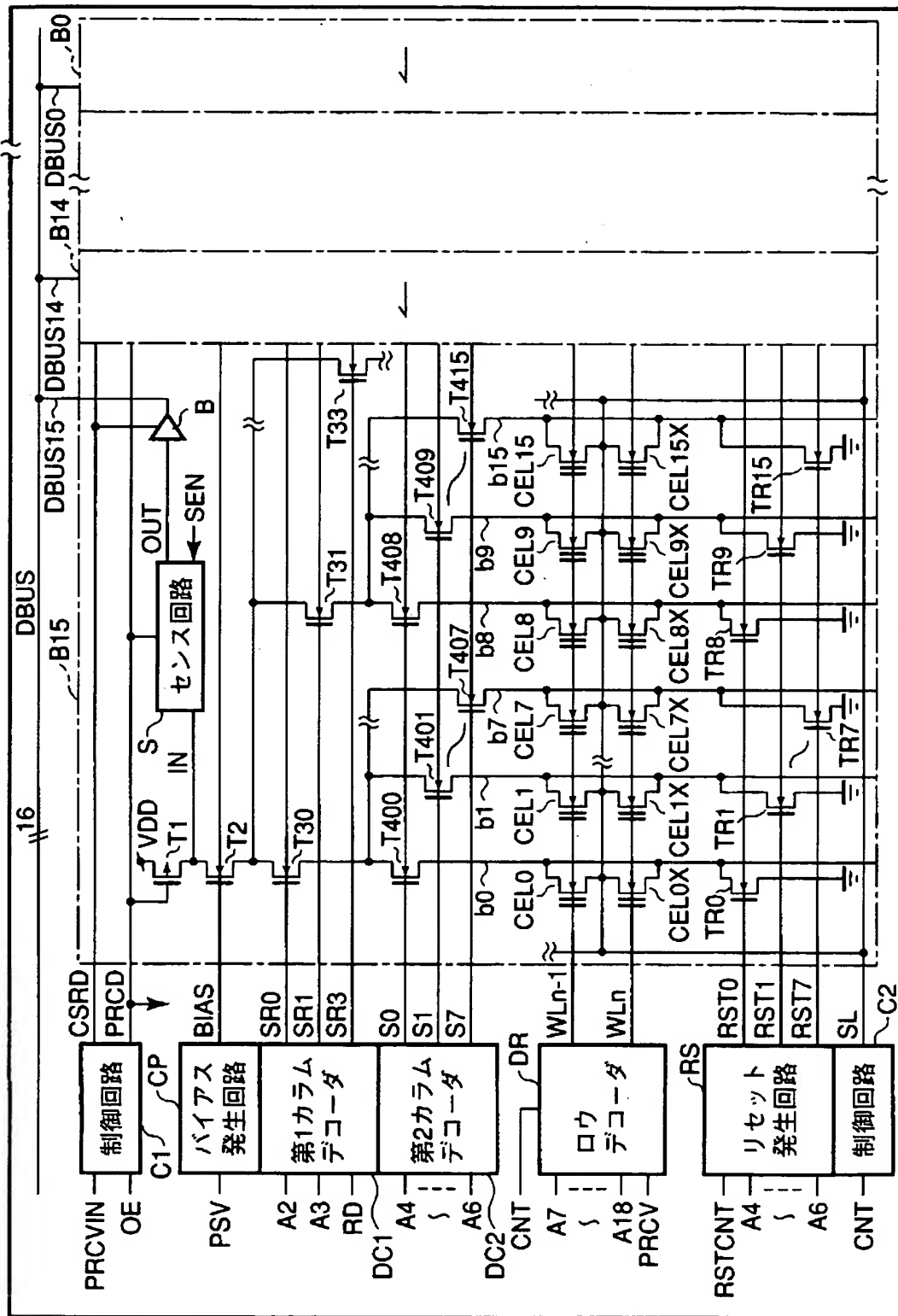
R S … リセット発生回路

C 2 … 制御回路

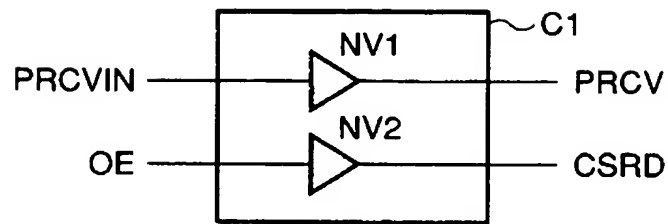
【書類名】

図面

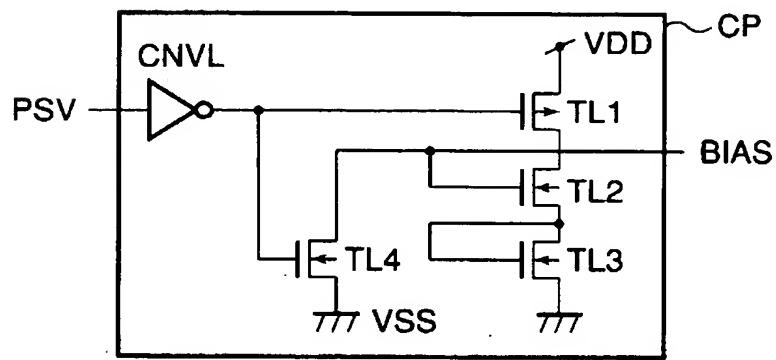
【図1】



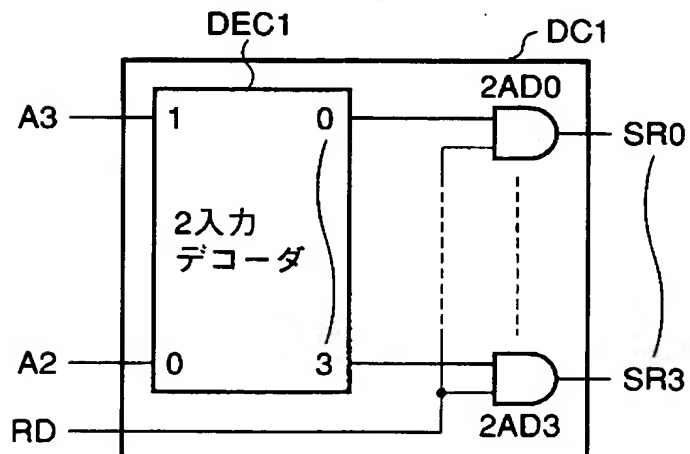
【図 2】



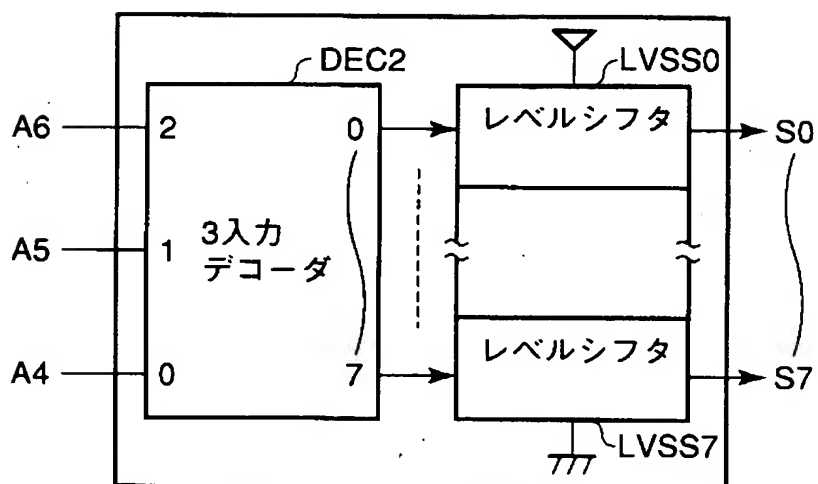
【図 3】



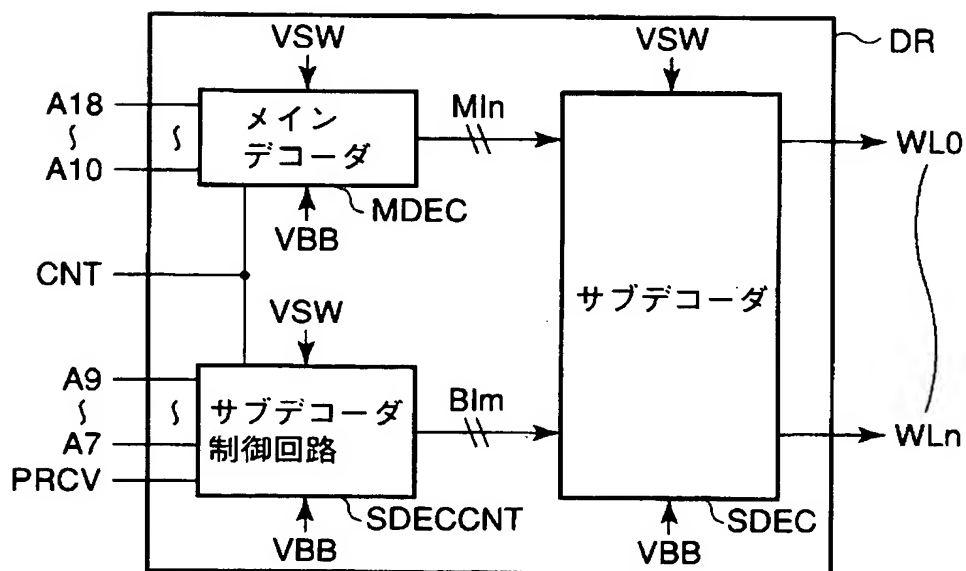
【図 4】



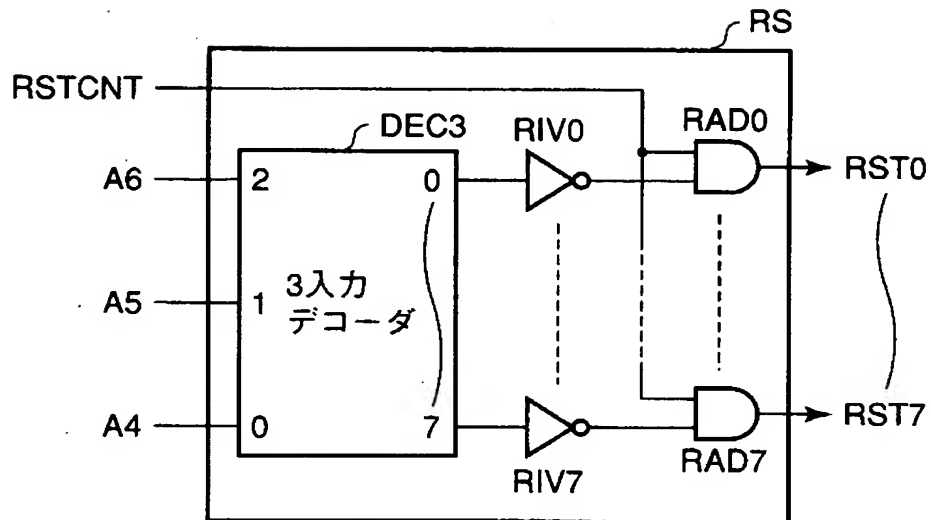
【図 5】



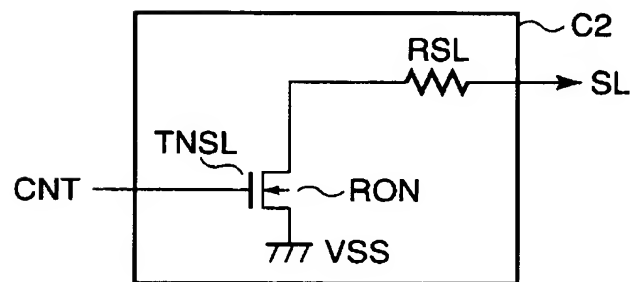
【図 6】



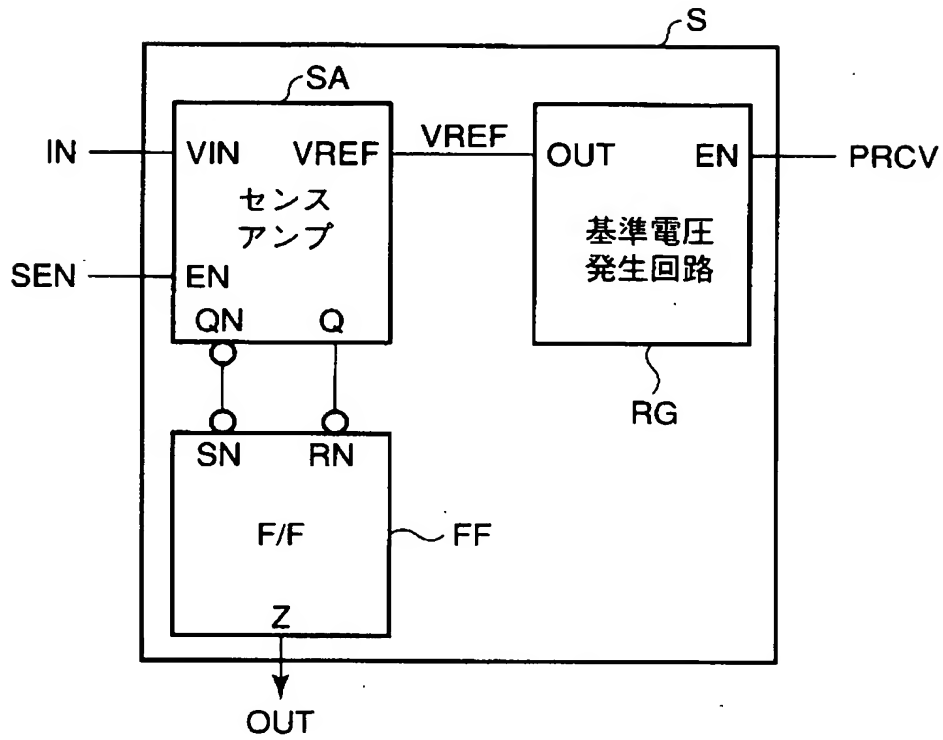
【図 7】



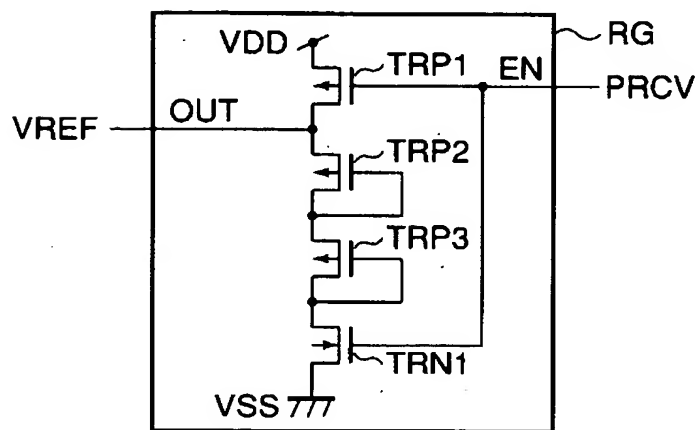
【図 8】



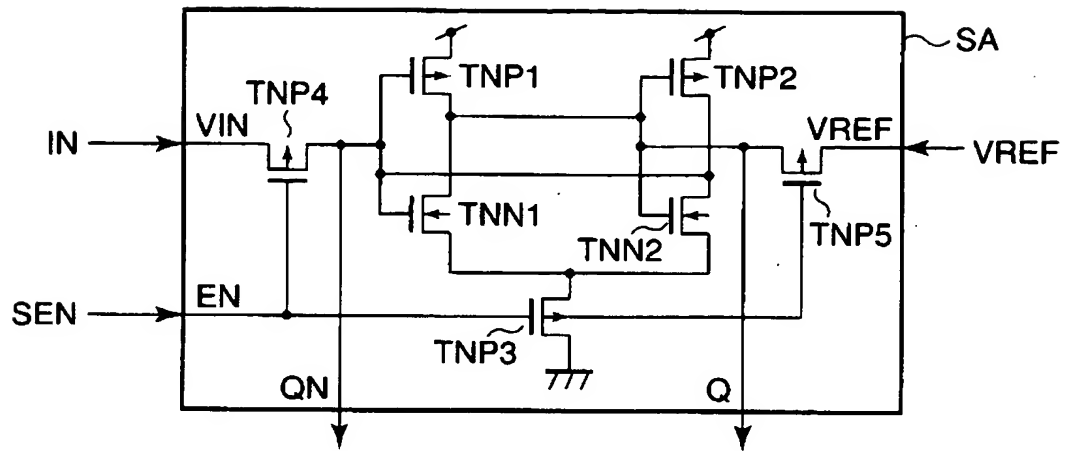
【図 9】



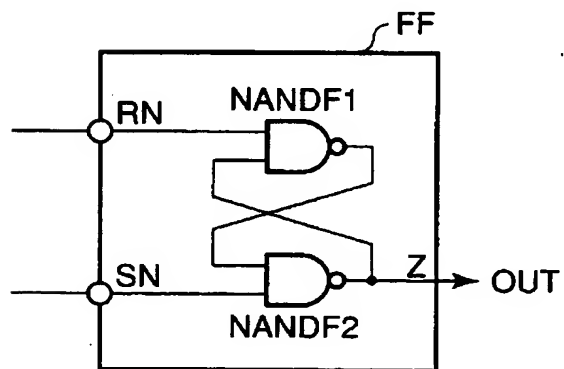
【図 10】



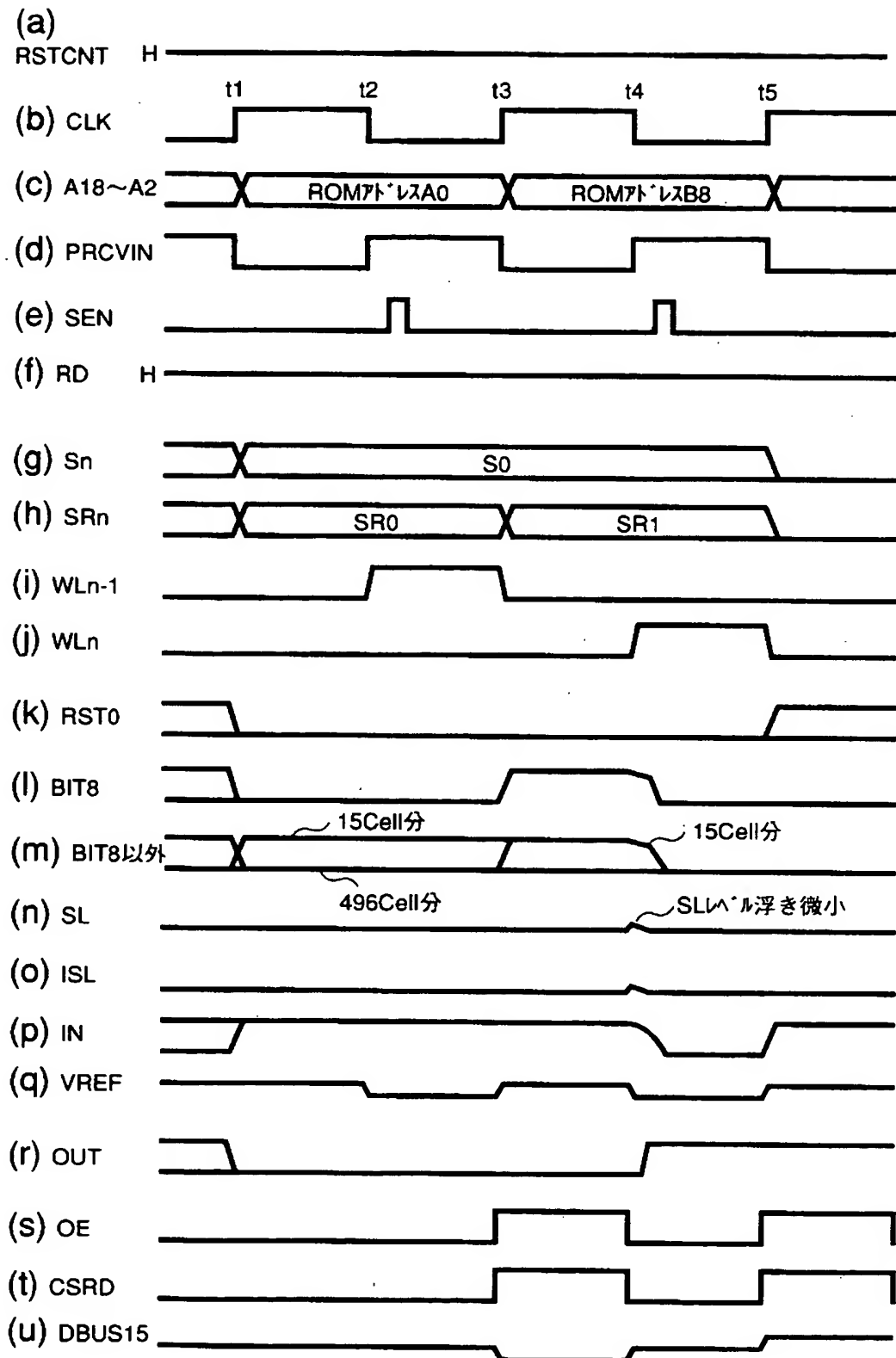
【図 1 1】



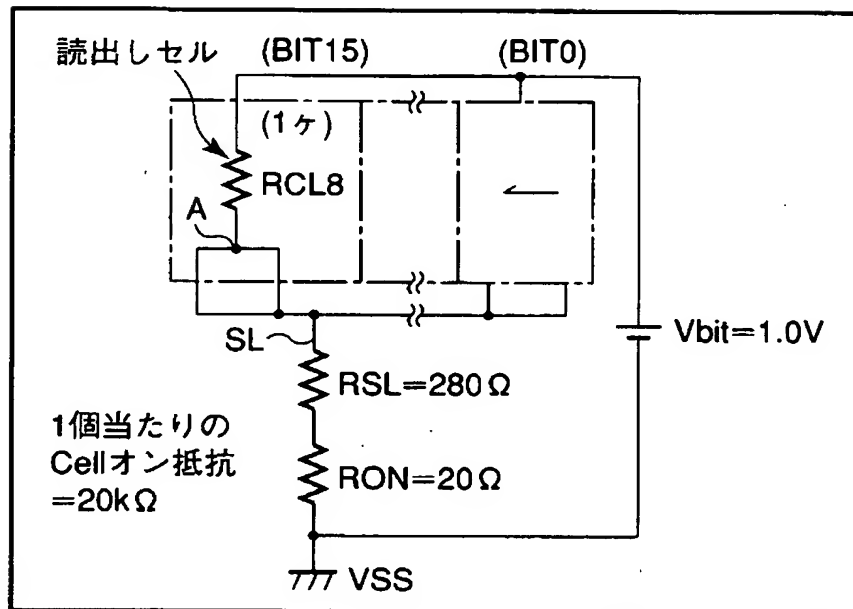
【図 12】



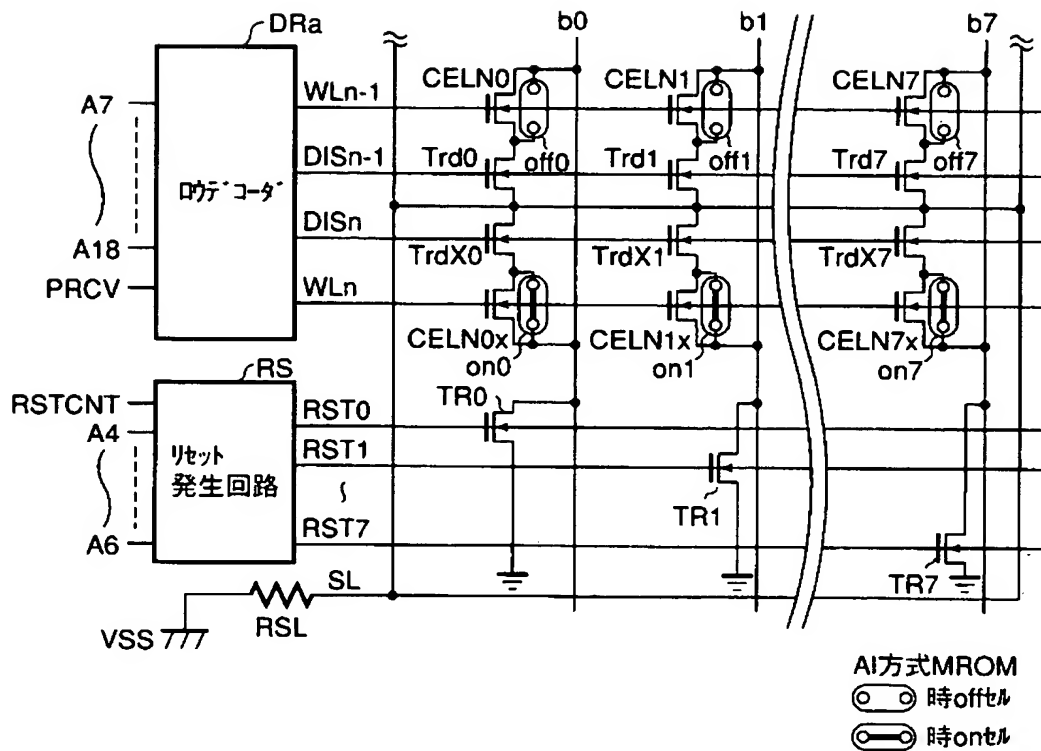
【図13】



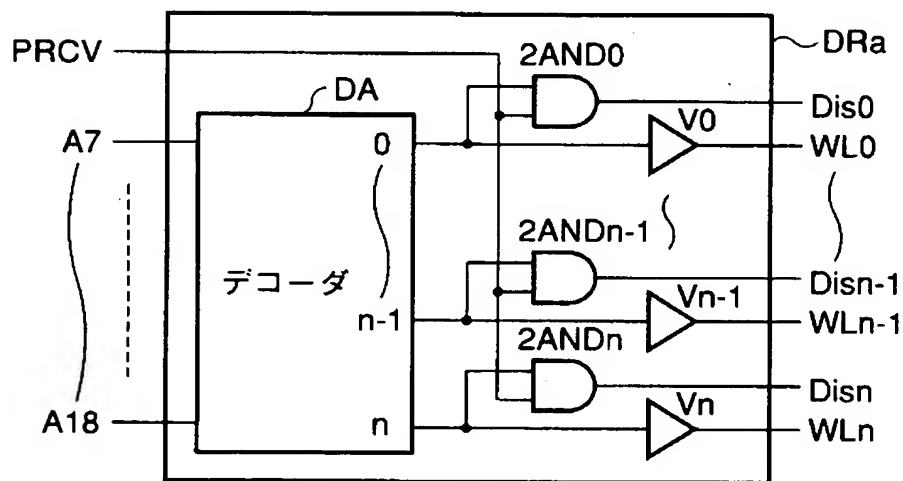
【図14】



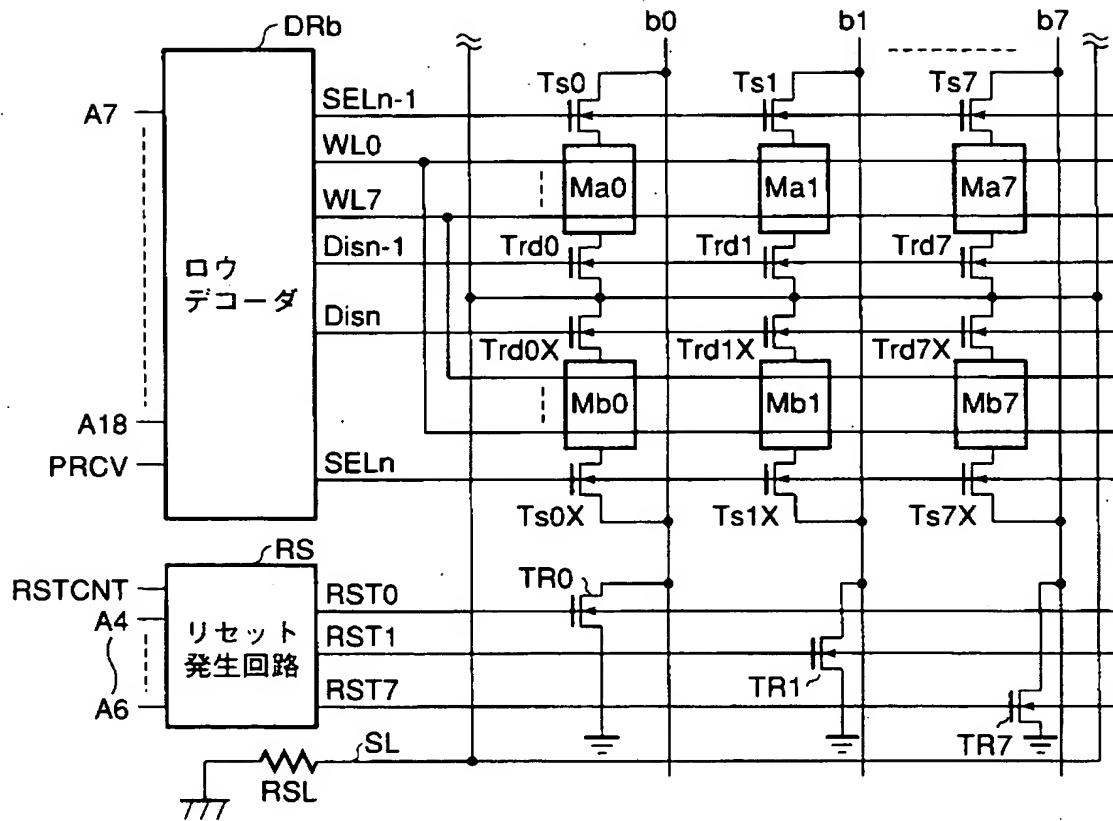
【図 15】



【図 16】

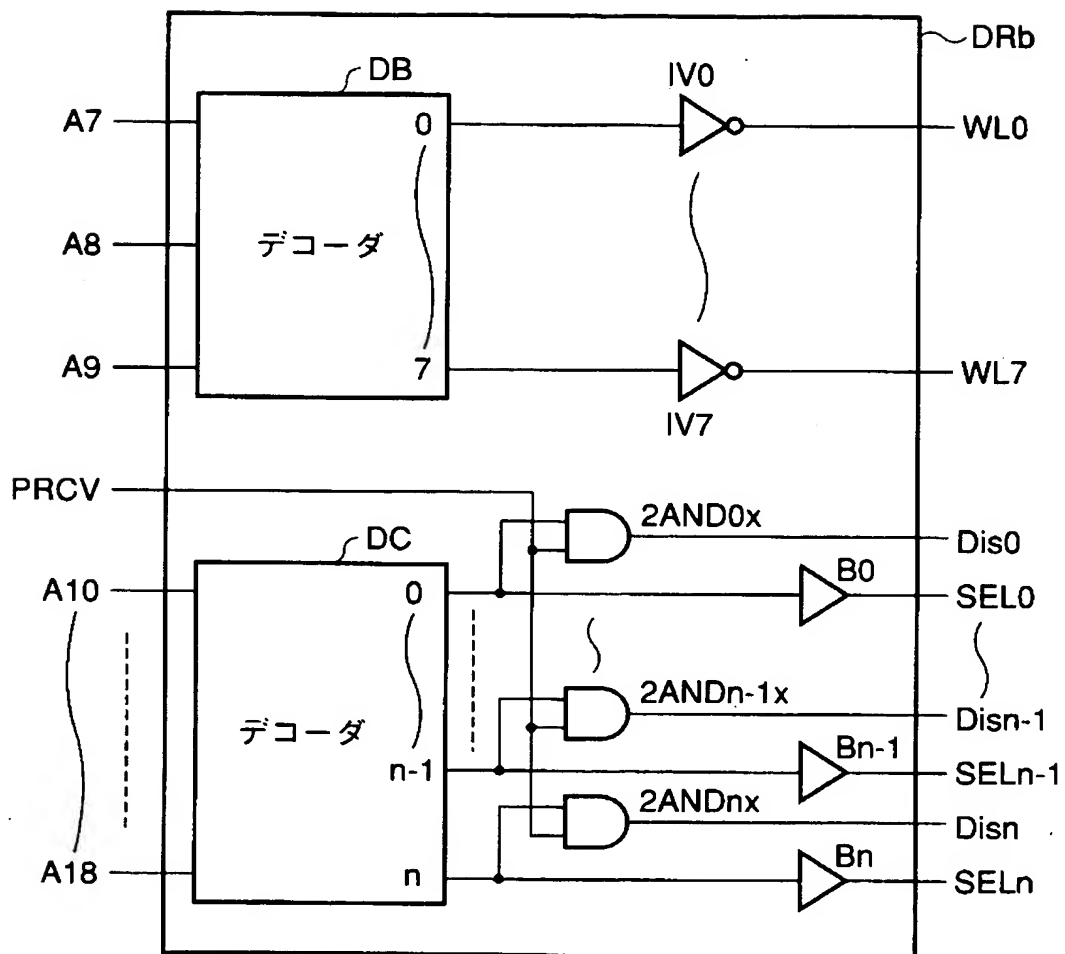


【図 17】

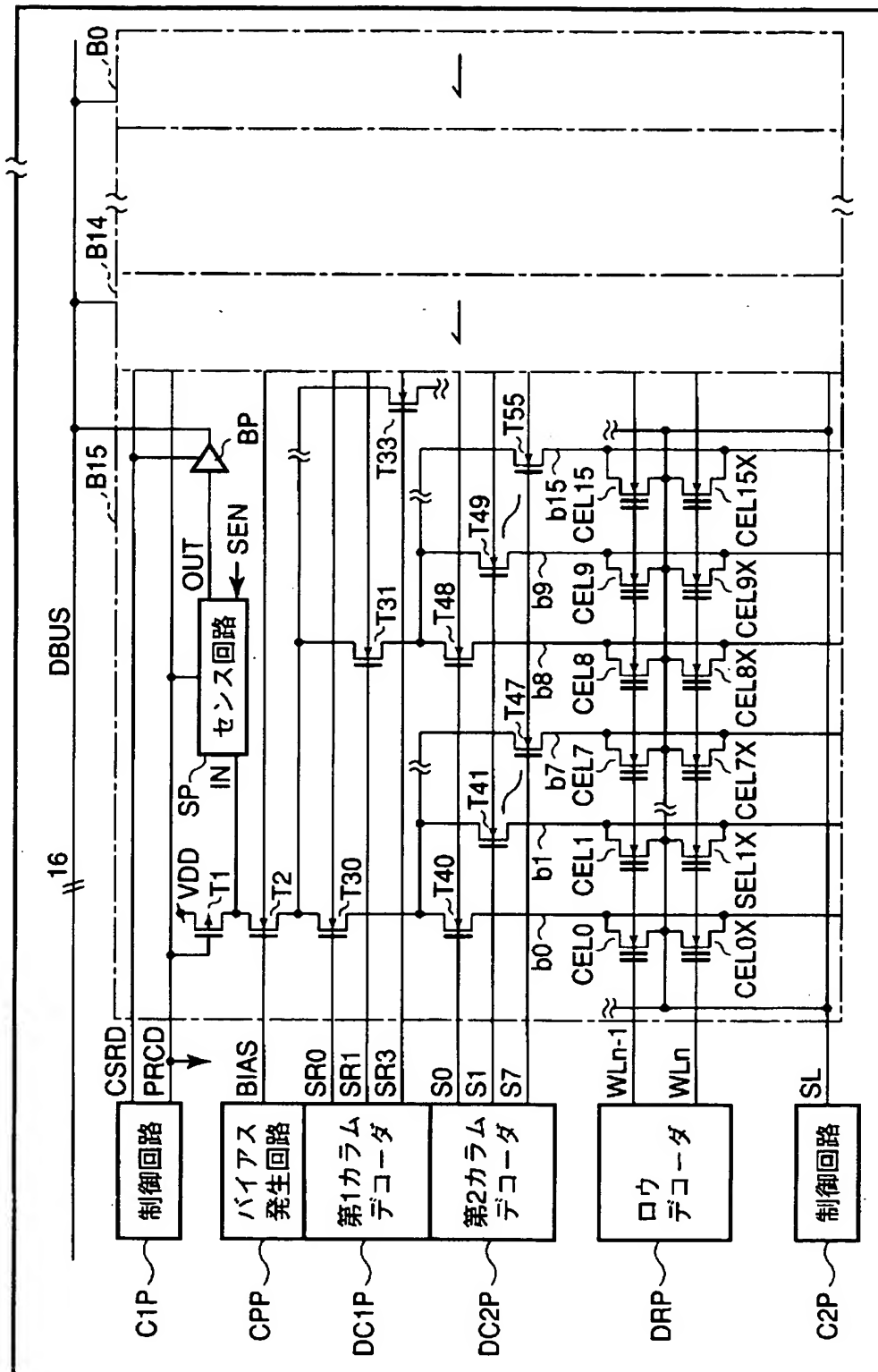




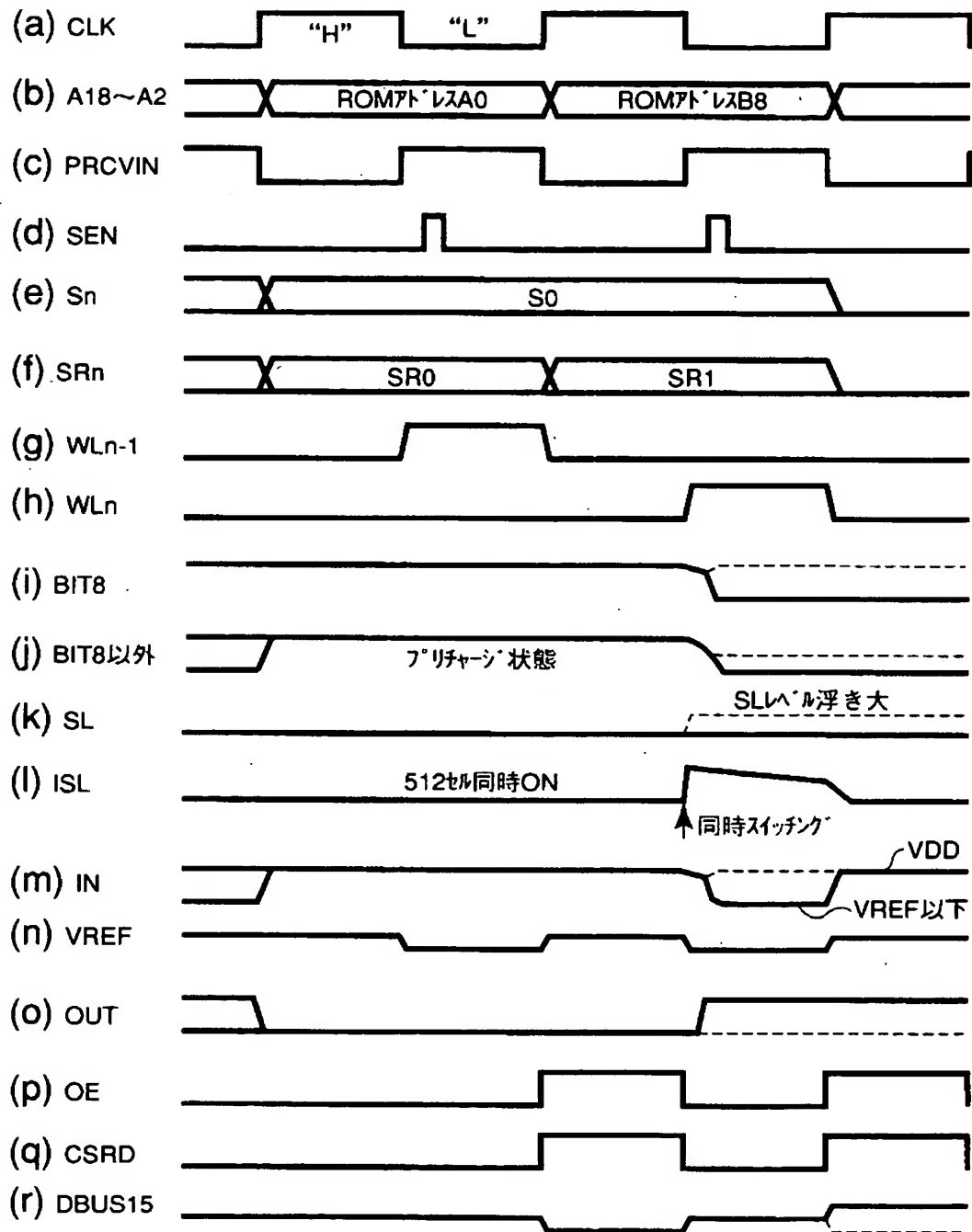
【図19】



【図 20】



【図 21】





【書類名】 要約書

【要約】

【課題】読み出し時に、プリチャージされたビット線からソース線に流入するデスチャージ電流により生じる前記ソース線のレベル浮きによる誤読み出しを防止し、かつ隣接ビット線間の容量カップリングに基づく誤読み出しも生じない、大規模高集積化が可能なメモリ回路を提供する。

【解決手段】読み出しモード設定時に、選択された読み出しメモリセルに繋がるビット線以外の大部分のビット線をVSSレベルに接続することで、ビット線上のプリチャージ電荷がデスチャージ時にソース線に流入することにより生じるソース線のレベル浮きによる誤読み出しを防止し、かつ隣接ビット線間の容量カップリングに起因する前記選択ビット線電位の変動に伴う誤読み出しも防ぐことができる。

【選択図】 図1

特願 2002-322887

出願人履歴情報

識別番号

[000003078]

1. 変更年月日                    2001年    7月    2日  
   [変更理由]                    住所変更  
                                  東京都港区芝浦一丁目1番1号  
                                  株式会社東芝
  
2. 変更年月日                    2003年    5月    9日  
   [変更理由]                    名称変更  
                                  住所変更  
                                  東京都港区芝浦一丁目1番1号  
                                  株式会社東芝

特願 2 0 0 2 - 3 2 2 8 8 7

出 願 人 履 歴 情 報

識別番号

[ 5 9 8 0 1 0 5 6 2 ]

1. 変更年月日

1 9 9 8 年 1 月 2 3 日

[変更理由]

新規登録

住 所

神奈川県川崎市幸区堀川町 5 8 0 番地

氏 名

東芝エルエスアイシステムサポート株式会社